

PAT-NO: JP403232274A

DOCUMENT-IDENTIFIER: JP 03232274 A

TITLE: THIN FILM TRANSISTOR, MANUFACTURE  
THEREOF, LIQUID CRYSTAL DISPLAY PANEL, AND LIQUID  
DISPLAY DEVICE

PUBN-DATE: October 16, 1991

INVENTOR-INFORMATION:

NAME

YAMAMOTO, HIDEAKI

MATSUMARU, HARUO

SHIROHASHI, KAZUO

MATSUKAWA, YUKA

SASANO, AKIRA

TANAKA, YASUO

TSUTSUI, KEN

TSUKADA, TOSHIHISA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP02206807

APPL-DATE: August 6, 1990

INT-CL (IPC): H01L027/12, G02F001/1343 , G02F001/136 ,  
G09F009/30 , G09G003/36  
, H01L021/3205 , H01L029/784

ABSTRACT:

PURPOSE: To obtain a TFT substrate high in reliability  
by a method wherein a  
gate terminal is provided with a layer of Cr or Ta, and a  
required part of the  
surface of a metal gate wiring pattern of Al or whose main

component is Al is covered with an anodized film.

CONSTITUTION: Cr 11 is evaporated on a substrate 10 to form gate terminals G<SB>1</SB> and G<SB>2</SB>, furthermore Al 12 is evaporated to form gate wirings G<SB>1</SB>' and G<SB>2</SB>', an additional capacitor Cad, and a gate electrode pattern, and the surface of the substrate is covered with a photoresist excluding a part to be anodized and a formed pad PAD. Then, the Al gate wirings are made to cross the end of the photoresist at right angles and anodization is performed. Then the photoresist is removed, an SiN 14 is formed, an a-Si 15 and an a-Si (N<SP>+</SP>) 16 are deposited thereon, and indium oxide is evaporated to form a transparent electrode 17. In succession, Cr/Al is formed and patterned for a signal wiring 18 and a source electrode, the a-Si (N<SP>+</SP>) 16 is dry-etched using the patterned Cr/Al as a mask, and lastly a protective film 20 is formed and a part formed on the terminal is removed. In result, a TFT substrate can be sharply improved in reliability.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A) 平3-232274

⑭ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月16日

H 01 L 27/12

A

7514-5F

9056-5F

6810-5F

H 01 L 29/78

21/88

3 1 1

A

E※

審査請求 未請求 請求項の数 39 (全34頁)

⑮ 発明の名称 薄膜トランジスタ基板、その製造方法、液晶表示パネル及び液晶表示装置

⑯ 特 願 平2-206807

⑰ 出 願 平2(1990)8月6日

優先権主張 ⑱ 平1(1989)8月14日 ⑲ 日本(JP) ⑳ 特願 平1-207792

㉑ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 松 丸 治 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 薄田 利幸 外1名

最終頁に続く

明 細 書

## 1. 発明の名称

薄膜トランジスタ基板、その製造方法、液晶表示パネル及び液晶表示装置

## 2. 特許請求の範囲

1. 絶縁性基板上に配置された複数のゲート端子と、これに電気的に接続する複数のゲート配線と、該複数のゲート配線と交差して配置された複数の信号配線と、マトリクス状に配置された複数の薄膜トランジスタと、複数の薄膜容量とを少なくとも有する薄膜トランジスタ基板において、該ゲート端子は少なくともクロム又はタンタルからなる層を有し、該ゲート配線、該薄膜トランジスタのゲート電極及び該薄膜容量より構成されるゲート配線パターンは、アルミニウム又はアルミニウムを主成分とする金属からなり、該ゲート配線パターンの表面の所望の部分は陽極酸化膜により被覆されていることを特徴とする薄膜トランジスタ基板。

2. 請求項1記載の薄膜トランジスタ基板におい

て、上記ゲート配線は、上記ゲート端子の先端上部でそれと接続することを特徴とする薄膜トランジスタ基板。

3. 請求項2記載の薄膜トランジスタ基板において、上記ゲート配線の上記ゲート端子との接続部は、線幅20 $\mu$ m以下のストライプ状のパターンであることを特徴とする薄膜トランジスタ基板。

4. 請求項1、2又は3記載の薄膜トランジスタ基板において、上記アルミニウムを主成分とする金属は、アルミニウムを主成分とし、Pd又はSiを含む金属であることを特徴とする薄膜トランジスタ基板。

5. 請求項1から4のいずれかに記載の薄膜トランジスタ基板において、上記薄膜トランジスタを構成する半導体層が非晶質シリコンからなり、ゲート絶縁膜が上記陽極酸化膜と窒化シリコン膜とよりなることを特徴とする薄膜トランジスタ基板。

6. 請求項1から5のいずれかに記載の薄膜ト

## ⑫ 公開特許公報(A) 平3-232274

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月16日

H 01 L 27/12

A

7514-5F

9056-5F

6810-5F

H 01 L 29/78

21/88

3 1 1

A

E※

審査請求 未請求 請求項の数 39 (全34頁)

⑭ 発明の名称 薄膜トランジスタ基板、その製造方法、液晶表示パネル及び液晶表示装置

⑯ 特 願 平2-206807

⑰ 出 願 平2(1990)8月6日

優先権主張 ⑱ 平1(1989)8月14日 ⑲ 日本(JP) ⑳ 特願 平1-207792

㉑ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 松 丸 治 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 薄田 利幸 外1名

最終頁に続く

明 細 書

## 1. 発明の名称

薄膜トランジスタ基板、その製造方法、液晶表示パネル及び液晶表示装置

## 2. 特許請求の範囲

1. 絶縁性基板上に配置された複数のゲート端子と、これに電気的に接続する複数のゲート配線と、該複数のゲート配線と交差して配置された複数の信号配線と、マトリクス状に配置された複数の薄膜トランジスタと、複数の薄膜容量とを少なくとも有する薄膜トランジスタ基板において、該ゲート端子は少なくともクロム又はタンタルからなる層を有し、該ゲート配線、該薄膜トランジスタのゲート電極及び該薄膜容量より構成されるゲート配線パターンは、アルミニウム又はアルミニウムを主成分とする金属からなり、該ゲート配線パターンの表面の所望の部分は陽極酸化膜により被覆されていることを特徴とする薄膜トランジスタ基板。

2. 請求項1記載の薄膜トランジスタ基板におい

て、上記ゲート配線は、上記ゲート端子の先端上部でそれと接続することを特徴とする薄膜トランジスタ基板。

3. 請求項2記載の薄膜トランジスタ基板において、上記ゲート配線の上記ゲート端子との接続部は、線幅20 $\mu$ m以下のストライプ状のパターンであることを特徴とする薄膜トランジスタ基板。

4. 請求項1、2又は3記載の薄膜トランジスタ基板において、上記アルミニウムを主成分とする金属は、アルミニウムを主成分とし、Pd又はSiを含む金属であることを特徴とする薄膜トランジスタ基板。

5. 請求項1から4のいずれかに記載の薄膜トランジスタ基板において、上記薄膜トランジスタを構成する半導体層が非晶質シリコンからなり、ゲート絶縁膜が上記陽極酸化膜と窒化シリコン膜とよりなることを特徴とする薄膜トランジスタ基板。

6. 請求項1から5のいずれかに記載の薄膜トラン

- ンジスタ基板において、上記陽極酸化膜は  
1100Åから2200Åの範囲の厚さである  
ことを特徴とする薄膜トランジスタ基板。
7. 絶縁性基板と、該絶縁性基板上に配置された  
複数のゲート端子と、該複数のゲート端子に電  
氣的に接続された複数のゲート配線と、該複数  
のゲート配線と交差して配置された複数の信号  
配線と、複数の薄膜トランジスタと、複数の薄  
膜容量とを有する薄膜トランジスタ基板におい  
て、上記ゲート配線及び上記薄膜トランジスタ  
のゲート電極がアルミニウム又はアルミニウム  
を主成分とする金属からなり、上記薄膜ラン  
ジスタのゲート絶縁膜、上記ゲート配線と上記  
信号配線との交差部の絶縁膜及び上記薄膜容量  
を構成する誘電体膜からなる群の少なくとも一  
つの膜は、上記アルミニウム又はアルミニウム  
を主成分とする金属の陽極酸化膜を含む膜であ  
り、該陽極酸化膜の膜厚は1100から  
2200Åの範囲の厚みであることを特徴とす  
る薄膜トランジスタ基板。

トランジスタ基板において、上記薄膜トラン  
ジスタの活性層を構成する材料が水素化非晶質シ  
リコンであることを特徴とする薄膜トランジス  
タ基板。

13. 請求項7から12のいずれかに記載の薄膜  
トランジスタ基板において、上記ゲート配線と  
上記信号配線との交差部の絶縁膜が上記陽極酸  
化膜、上記陽極酸化膜と異なる材質の絶縁膜、  
水素化非晶質シリコン膜からなることを特徴と  
する薄膜トランジスタ基板。
14. 請求項7から13のいずれかに記載の薄膜  
トランジスタ基板において、上記薄膜容量を構  
成する誘電体膜が上記陽極酸化膜、上記陽極酸  
化膜と異なる材質の絶縁膜からなることを特徴  
とする薄膜トランジスタ基板。
15. 請求項7から13のいずれかに記載の薄膜  
トランジスタ基板において、上記薄膜容量を構  
成する誘電体膜が上記陽極酸化膜からなること  
を特徴とする薄膜トランジスタ基板。
16. 請求項7から15のいずれかに記載の薄膜

8. 請求項7記載の薄膜トランジスタ基板におい  
て、上記ゲート端子はクロムよりなる層を含む  
導電体層からなることを特徴とする薄膜トラン  
ジスタ基板。

9. 請求項7又は8記載の薄膜トランジスタ基板  
において、上記薄膜トランジスタのゲート絶縁  
膜は、上記陽極酸化膜及び該陽極酸化膜と異な  
る種類の絶縁膜の複合膜であることを特徴とす  
る薄膜トランジスタ基板。

10. 請求項9記載の薄膜トランジスタ基板にお  
いて、上記異なる種類の絶縁膜が酸化シリコン  
膜であり、その膜厚が1200から2000Å  
の範囲であることを特徴とする薄膜トランジス  
タ基板。

11. 請求項9記載の薄膜トランジスタ基板にお  
いて、上記異なる種類の絶縁膜が酸化シリコン  
膜であり、その膜厚が1200から2000Å  
の範囲であることを特徴とする薄膜トランジス  
タ基板。

12. 請求項7から11のいずれかに記載の薄膜

トランジスタ基板において、上記ゲート配線は、  
上記ゲート端子の先端上部でそれと接続すること  
を特徴とする薄膜トランジスタ基板。

17. 請求項16記載の薄膜トランジスタ基板に  
おいて、上記ゲート配線の上記ゲート端子との  
接続部は、線幅20μm以下のストライプ状の  
パターンであることを特徴とする薄膜トランジ  
スタ基板。

18. 請求項16記載の薄膜トランジスタ基板に  
おいて、上記ゲート配線の上記ゲート端子との  
接続部は、線幅10μm以下のストライプ状の  
パターンであることを特徴とする薄膜トランジ  
スタ基板。

19. 基板上に、ゲート端子を形成する工程と、  
該ゲート端子と接続するゲート配線、薄膜トラ  
ンジスタのゲート電極及び薄膜容量より構成さ  
れるゲート配線パターンを形成する工程と、少  
なくとも該ゲート端子及び該ゲート端子と該ゲ  
ート配線との接続部をホトレジストにより被覆  
する工程と、該ゲート配線パターンを陽極酸化

- し、該ゲート配線パターンの所望の部分の表面を陽極酸化膜とする工程とを少なくとも有することを特徴とする請求項 1 から 6 のいずれかに記載の薄膜トランジスタ基板の製造方法。
20. 請求項 19 記載の薄膜トランジスタ基板の製造方法において、上記陽極酸化は定電流で酸化を行なう工程と定電圧で酸化を行なう工程とからなることを特徴とする薄膜トランジスタ基板の製造方法。
21. 請求項 19 又は 20 記載の薄膜トランジスタ基板の製造方法において、上記ゲート配線パターンは、それを構成する各部分が所望の部分ごとに共通に接続され、かつ互いに接続しない 2 以上のパターンであり、上記陽極酸化は各々のパターンごとに異なる電圧で行なうことを特徴とする薄膜トランジスタ基板の製造方法。
22. 基板上に、クロム又はタンタルよりなるゲート端子を形成する第 1 工程、該ゲート端子と接続するゲート配線、薄膜トランジスタのゲート電極及び薄膜容量より構成されるゲート配線トランジスタ基板の製造方法において、上記ゲート配線パターンは、それを構成する各部分が所望の部分ごとに共通に接続され、互いに接続しない 2 以上のパターンであり、上記第 4 工程は各々のパターンごとに異なる電圧で陽極酸化を行なうことを特徴とする薄膜トランジスタ基板の製造方法。
26. 請求項 22 から 25 のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記第 4 工程の後に、陽極酸化膜を 200℃ から 350℃ の範囲の温度で熱処理する第 5 工程を有することを特徴とする薄膜トランジスタ基板の製造方法。
27. 請求項 22 から 26 のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記アルミニウムを主成分とする金属は、アルミニウムを主成分とし、Pd 又は Si を含む金属であることを特徴とする薄膜トランジスタ基板の製造方法。
28. 請求項 22 から 27 のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記ゲート端子及びゲート配線パターンをアルミニウム又はアルミニウムを主成分とする金属により形成する第 2 工程、少なくとも該ゲート端子及び該ゲート配線との接続部をホトレジストにより被覆する第 3 工程及び該ゲート配線パターンを陽極酸化し、該ゲート配線パターンの所望の部分の表面を陽極酸化膜とする第 4 工程を少なくとも有することを特徴とする薄膜トランジスタ基板の製造方法。
23. 請求項 22 記載の薄膜トランジスタ基板の製造方法において、上記第 3 工程は、ホトレジストの塗布、前熱処理、露光、後熱処理、現像の工程を含むことを特徴とする薄膜トランジスタ基板の製造方法。
24. 請求項 22 又は 23 記載の薄膜トランジスタ基板の製造方法において、上記第 4 工程は、定電流で陽極酸化を行なう工程と定電圧で陽極酸化を行なう工程を有することを特徴とする薄膜トランジスタ基板の製造方法。
25. 請求項 22、23 又は 24 記載の薄膜トランジスタ基板の製造方法において、上記第 4 工程により表面に陽極酸化膜が形成される所望の部分は、少なくとも上記薄膜トランジスタのゲート電極、上記薄膜容量及び上記ゲート配線の信号配線と交差する部分であることを特徴とする薄膜トランジスタ基板の製造方法。
29. 絶縁性基板上に、少なくとも複数のゲート配線と複数の薄膜トランジスタのゲート電極とを含むパターンをアルミニウム又はアルミニウムを主成分とする金属により形成し、該アルミニウム又はアルミニウムを主成分とする金属の所望の部分の陽極酸化して陽極酸化膜とする薄膜トランジスタ基板の製造方法において、上記陽極酸化膜の膜厚は 1100 Å から 2200 Å の範囲の厚みであり、上記陽極酸化は上記薄膜トランジスタのゲート電極、上記ゲート配線の信号配線との交差部、薄膜容量の少なくともいずれかのみに行なうことを特徴とする薄膜トランジスタ基板の製造方法。
30. 請求項 29 記載の薄膜トランジスタ基板の

製造方法において、上記ゲート配線はクロムからなるゲート端子と電気的に接続し、上記陽極酸化は該ゲート端子を通して電圧が印加されることを特徴とする薄膜トランジスタ基板の製造方法。

31. 請求項1から6のいずれかに記載の薄膜トランジスタ基板と、それに対向して配置された、少なくとも対向電極を持つ透光性基板と、それらの間に配置された液晶とを有することを特徴とする液晶表示パネル。
32. 請求項7から18のいずれかに記載の薄膜トランジスタ基板と、それに対向して配置された、少なくとも対向電極を持つ透光性基板と、それらの間に配置された液晶とを有することを特徴とする液晶表示パネル。
33. 絶縁性基板上にアルミニウム又はアルミニウムを主成分とする金属を所望のパターンに形成する工程と、上記所望のパターン上の所望の領域上に選択酸化用マスクとしてポジ型ホトレジストパターンを形成する工程と、上記所望の

との間で形成される角度で、アルミニウム又はアルミニウムを主成分とする金属の露出している側の角度 $\theta$ は、90度より小さい条件でネガ型ホトレジストパターンを形成することを特徴とする陽極酸化方法。

35. 請求項33又は34記載の陽極酸化方法において、上記ホトレジストの膜厚を $1.5\mu\text{m}$ 以上としたことを特徴とする陽極酸化方法。
36. 請求項33、34又は35記載の陽極酸化方法において、上記ホトレジストのポストベーク温度を $110^\circ\text{C}$ から $160^\circ\text{C}$ の範囲としたことを特徴とする陽極酸化方法。
37. 請求項33から36のいずれかに記載の陽極酸化方法において、上記ホトレジストのポストベーク時間を5から40分の範囲としたことを特徴とする陽極酸化方法。
38. 請求項31に記載の液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、該液晶表示パネルに走査信号を与えるための走査回路と、該映像信号駆動回

路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することを特徴とする液晶表示装置。

パターン上へ陽極酸化によつて酸化アルミニウムを形成する工程とを少なくとも有する陽極酸化方法において、上記形成された酸化アルミニウムのパターンの輪郭線と上記所望のパターンとの間で形成される角度で、アルミニウム又はアルミニウムを主成分とする金属の露出している側の角度 $\theta$ は、 $\mu\text{m}$ 単位で表わしたポジ型ホトレジストの膜厚を $T$ とすると

$$\theta \geq 110 - 20T$$

なる条件でポジ型ホトレジストパターンを形成することを特徴とする陽極酸化方法。

34. 絶縁性基板上にアルミニウム又はアルミニウムを主成分とする金属を所望のパターンに形成する工程と、上記所望のパターン上の所望の領域上に選択酸化用マスクとしてネガ型ホトレジストパターンを形成する工程と、上記所望のパターン上へ陽極酸化によつて酸化アルミニウムを形成する工程とを少なくとも有する陽極酸化方法において、上記形成された酸化アルミニウムのパターンの輪郭線と上記所望のパターン

路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することを特徴とする液晶表示装置。

39. 請求項32に記載の液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、該液晶表示パネルに走査信号を与えるための走査回路と、該映像信号駆動回路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することを特徴とする液晶表示装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、薄膜トランジスタ（以下TFTと略す）を使用したアクティブマトリクス駆動形のTFT基板、その製造方法、陽極酸化方法及び上記TFT基板を用いた液晶表示パネル並びにその液晶表示パネルを用いた液晶表示装置に関する。

#### 〔従来の技術〕

非晶質シリコン（以下a-Siと略す）TFTを用い、ゲート電極をAlとし、これを陽極酸化

として得られる $Al_2O_3$ をゲート絶縁膜の一部とした液晶表示パネル用のTFT基板の例を第2図に示す。第2図(a)、同図(b)、同図(c)は各々TFT基板の等価回路図、平面図、断面図を示すものである。 $G_1$ 、 $G_2$ はゲート端子、 $G_1'$ 、 $G_2'$ はゲート配線、 $D_1$ 、 $D_2$ はドレイン端子、 $T_{11}$ 、 $T_{12}$ 、 $T_{21}$ 、 $T_{22}$ はTFT、LCは液晶、 $V_{com}$ はカラーフィルタ基板側に設けらる共通端子を示す。また、10は基板、12'は $Al$ 、13は $Al_2O_3$ 、14は $SiN$ 、17は透明電極(画素電極)、15はノンドーパ $a-Si(i)$ 、16はリンをドーパした水素化非晶質シリコン(以下 $a-Si(n^+)$ と略す)、18は信号配線、18'はソース電極であり、 $a-Si(n^+)$ TFTと画素電極とを接続している。第2図中境界線 $L_1$ は化成境界線で陽極酸化を行なう領域とそうでない領域の境界を示すもので、境界線 $L_1$ より右の領域は陽極酸化を行なう領域であり、左は行なわない領域である。

また、従来のTFT基板のゲート電極近傍では、

クが発生しやすく、表面に針状に凸形になった欠陥が出来やすい。さらにゲート絶縁膜である $SiN$ (通常、プラズマCVD法で基板温度200~350℃で堆積される)の形成工程でこのヒロックが成長するという問題があり、ゲート電極には使用できない。従って、従来はゲート電極に $Cr$ 、ゲート配線には $Cr$ と $Al$ との2層構造の金属を用いていた。

一方、従来技術として、 $Ta$ や $Al$ の陽極酸化技術がある。(例えば、電気化学便覧(丸善)昭和39年12月発行、第874~892頁参照)。これは金属の表面を電気化学的に酸化する技術であり、従来、キャパシタや表面コートに使われているものである。

この技術による酸化膜(絶縁膜)の利点はゴミによる欠陥が生じにくい点にある。このため、この技術をTFTに利用した従来技術がある(特開昭58-147069号、特開昭61-133662号)。

なお、本発明に関連する従来技術としては、陽極酸化に関するものとして特開昭63-164号、審

第32図(a)、(b)に示すような造が用いられていた。第32図(a)はゲート電極近傍の平面図、同図(b)はその $AA'$ 線断面図である。同図において、10は基板、11は $Cr$ 、12'は $Al$ 、14は $SiN$ 、15'は $a-Si$ 、55はソース電極、18はドレイン電極を兼ねる信号配線、17は画素電極となる透明電極を示す。

同図に示すように従来はゲート電極に $Cr$ を用い、ゲート絶縁膜には $SiN$ が用いられている。一方、ゲート配線には $Cr$ と $Al$ との2層の金属が使用されている。このようにゲート電極とゲート配線とが異なつた材料で形成されている理由を以下に説明する。

まず、ゲート電極の金属は基板との接着性が良いこと、表面に凹凸が無いこととゲート絶縁膜である $SiN$ を形成する過程で変質しないことが条件になる。この条件としては $Cr$ が適している。一方、ゲート配線は抵抗の低いことが要求される。 $Cr$ は $Al$ に比較して固有抵抗率が一桁以上高く、ゲート配線には適していない。逆に $Al$ はヒロッ

積容量に関するものとして特開昭58-90770号、特開昭58-93092号を挙げることができる。

#### 【発明が解決しようとする課題】

上記従来技術は、ゲート端子やゲート電極に $Al$ を用い、一部のみを陽極酸化して用いるため、次のような問題があった。

(1) 第2図に示すような従来のTFT基板はゲート端子にも $Al$ を使用している。通常、TFT基板のゲート端子は大気中にさらされた状態で使用される。 $Al$ は電蝕等変質しやすく、 $Al$ をゲート端子に使用することはTFTパネルの信頼性を損なう。

(2)  $Al$ は熱ストレスによってホイスカと呼ばれる棒状の結晶やヒロックが発生し、表面の凹凸を引き起こすために望ましくない。特にホイスカは数10 $\mu m$ のひげ状の欠陥であり、電極間短絡等の原因となる。

このように、上記従来技術はゲート端子の信頼性、あるいは欠陥発生等による製造時の歩留の面で問題があった。



また、(3) ゲート配線はその端部において、外部回路と電氣的に接続しなければならない。そのためこの部分を陽極酸化しないようにする工夫が必要である。レジストでこの部分を被覆することにより、化成液に直接触れないようにすることが考えられる。しかし、この時レジストの静電破壊に起因する現象により、レジスト端に沿ってA<sub>1</sub>が切れるという問題があった。

(4) 陽極酸化用マスクとして、ポジ型ホトレジストを用いた場合、A<sub>1</sub>パターンと陽極酸化用マスクパターンとの交点において、A<sub>1</sub>が溶け出す等の欠陥が発生するという問題があった。

(4) TFTの相互コンダクタンス $g_m$ からはA<sub>1</sub>O<sub>2</sub>の膜厚は出来るだけ薄いことが望まれる。一方では静電破壊耐圧の点からは厚いことが望まれる。この膜厚の最適化がなされていないという問題があった。

本発明の第1の目的は、信頼性が高く、製造の際の歩留の向上したTFT基板を提供することにある。

アルミニウム又はアルミニウムを主成分とする金属からなり、該ゲート配線パターンの表面の所望の部分は陽極酸化膜により被覆されていることを特徴とする薄膜トランジスタ基板、(2) 上記1記載の薄膜トランジスタ基板において、上記ゲート配線は、上記ゲート端子の先端上部でそれと接続することを特徴とする薄膜トランジスタ基板、

(3) 上記2記載の薄膜トランジスタ基板において、上記ゲート配線の上記ゲート端子との接続部は、線幅20 $\mu$ m以下のストライプ状のパターンであることを特徴とする薄膜トランジスタ基板、

(4) 上記1、2又は3記載の薄膜トランジスタ基板において、上記アルミニウムを主成分とする金属は、アルミニウムを主成分とし、Pd又はSiを含む金属であることを特徴とする薄膜トランジスタ基板、(5) 上記1から4のいずれかに記載の薄膜トランジスタ基板において、上記薄膜トランジスタを構成する半導体層が非晶質シリコンからなり、ゲート絶縁膜が上記陽極酸化膜と窒化シリコン膜とよりなることを特徴とする薄膜ト

本発明の第2の目的は、このようなTFT基板の製造方法を提供することにある。

本発明の第3の目的は、このTFT基板を用いた液晶表示パネルを提供することにある。

本発明の第4の目的は、陽極酸化の際にA<sub>1</sub>パターンに欠陥が生じない陽極酸化方法を提供することにある。

本発明の第5の目的は、上記の液晶表示パネルを用いた液晶表示装置を提供することにある。

#### 【課題を解決するための手段】

上記第1の目的は、(1) 絶縁性基板上に配置された複数のゲート端子と、これに電氣的に接続する複数のゲート配線と、該複数のゲート配線と交差して配置された複数の信号配線と、マトリクス状に配置された複数の個の薄膜トランジスタと、複数の薄膜容量とを少なくとも有する薄膜トランジスタ基板において、該ゲート端子は少なくともクロム又はタンタルからなる層を有し、該ゲート配線、該薄膜トランジスタのゲート電極及び該薄膜容量より構成されるゲート配線パターンは、

ランジスタ基板、(6) 上記1から5のいずれかに記載の薄膜トランジスタ基板において、上記陽極酸化膜は1100Åから2200Åの範囲の厚さであることを特徴とする薄膜トランジスタ基板、

(7) 絶縁性基板と、該絶縁性基板上に配置された複数のゲート端子と、該複数のゲート端子に電氣的に接続された複数のゲート配線と、該複数のゲート配線と交差して配置された複数の信号配線と、複数の薄膜トランジスタと、複数の薄膜容量とを有する薄膜トランジスタ基板において、上記ゲート配線及び上記薄膜トランジスタのゲート電極がアルミニウム又はアルミニウムを主成分とする金属からなり、上記薄膜トランジスタのゲート絶縁膜、上記ゲート配線と上記信号配線との交差部の絶縁膜及び上記薄膜容量を構成する誘電体膜からなる群の少なくとも一つの膜は、上記アルミニウム又はアルミニウムを主成分とする金属の陽極酸化膜を含む膜であり、該陽極酸化膜の膜厚は1100Åから2200Åの範囲の厚みであることを特徴とする薄膜トランジスタ基板、(8) 上記

7記載の薄膜トランジスタ基板において、上記ゲート端子はクロムよりなる層を含む導電体層からなることを特徴とする薄膜トランジスタ基板、

(9) 上記7又は8記載の薄膜トランジスタ基板において、上記薄膜トランジスタのゲート絶縁膜は、上記陽極酸化膜及び該陽極酸化膜と異なる種類の絶縁膜の複合膜であることを特徴とする薄膜トランジスタ基板、(10) 上記9記載の薄膜トランジスタ基板において、上記異なる種類の絶縁膜が窒化シリコン膜であり、その膜厚が1200から2000Åの範囲であることを特徴とする薄膜トランジスタ基板、(11) 上記9記載の薄膜トランジスタ基板において、上記異なる種類の絶縁膜が酸化シリコン膜であり、その膜厚が1200から2000Åの範囲であることを特徴とする薄膜トランジスタ基板、(12) 上記7から11のいずれかに記載の薄膜トランジスタ基板において、上記薄膜トランジスタの活性層を構成する材料が水素化非晶質シリコンであることを特徴とする薄膜トランジスタ基板、(13) 上記7

ターンであることを特徴とする薄膜トランジスタ基板、(18) 上記16記載の薄膜トランジスタ基板において、上記ゲート配線の上記ゲート端子との接続部は、線幅10μm以下のストライプ状のパターンであることを特徴とする薄膜トランジスタ基板によって達成される。

上記第2の目的は、(19) 基板上に、ゲート端子を形成する工程と、該ゲート端子と接続するゲート配線、薄膜トランジスタのゲート電極及び薄膜容量より構成されるゲート配線パターンを形成する工程と、少なくとも該ゲート端子及び該ゲート端子と該ゲート配線との接続部をホトレジストにより被覆する工程と、該ゲート配線パターンを陽極酸化し、該ゲート配線パターンの所望の部分の表面を陽極酸化膜とする工程とを少なくとも有することを特徴とする上記1から6のいずれかに記載の薄膜トランジスタ基板の製造方法、

(20) 上記19記載の薄膜トランジスタ基板の製造方法において、上記陽極酸化は定電流で酸化を行なう工程と定電圧で酸化を行なう工程とから

から12のいずれかに記載の薄膜トランジスタ基板において、上記ゲート配線と上記信号配線との交差部の絶縁膜が上記陽極酸化膜、上記陽極酸化膜と異なる材質の絶縁膜、水素化非晶質シリコン膜からなることを特徴とする薄膜トランジスタ基板、(14) 上記7から13のいずれかに記載の薄膜トランジスタ基板において、上記薄膜容量を構成する誘電体膜が上記陽極酸化膜、上記陽極酸化膜と異なる材質の絶縁膜からなることを特徴とする薄膜トランジスタ基板、(15) 上記7から13のいずれかに記載の薄膜トランジスタ基板において、上記薄膜容量を構成する誘電体膜が上記陽極酸化膜からなることを特徴とする薄膜トランジスタ基板、(16) 上記7から15のいずれかに記載の薄膜トランジスタ基板において、上記ゲート配線は、上記ゲート端子の先端上部でそれと接続することを特徴とする薄膜トランジスタ基板、(17) 上記16記載の薄膜トランジスタ基板において、上記ゲート配線の上記ゲート端子との接続部は、線幅20μm以下のストライプ状のパ

なることを特徴とする薄膜トランジスタ基板の製造方法、(21) 上記19又は20記載の薄膜トランジスタ基板の製造方法において、上記ゲート配線パターンは、それを構成する各部分が所望の部分ごとに共通に接続され、かつ互いに接続しない2以上のパターンであり、上記陽極酸化は各々のパターンごとに異なる電圧で行なうことを特徴とする薄膜トランジスタ基板の製造方法、(22) 基板上に、クロム又はタンタルよりなるゲート端子を形成する第1工程、該ゲート端子と接続するゲート配線、薄膜トランジスタのゲート電極及び薄膜容量より構成されるゲート配線パターンをアルミニウム又はアルミニウムを主成分とする金属により形成する第2工程、少なくとも該ゲート端子及び該ゲート端子と該ゲート配線との接続部をホトレジストにより被覆する第3工程及び該ゲート配線パターンを陽極酸化し、該ゲート配線パターンの所望の部分の表面を陽極酸化膜とする第4工程を少なくとも有することを特徴とする薄膜トランジスタ基板の製造方法、(23) 上記22記

載の薄膜トランジスタ基板の製造方法において、上記第3工程は、ホトレジストの塗布、前熱処理、露光、後熱処理、現像の工程を含むことを特徴とする薄膜トランジスタ基板の製造方法、(24) 上記22又は23記載の薄膜トランジスタ基板の製造方法において、上記第4工程は、定電流で陽極酸化を行なう工程と定電圧で陽極酸化を行なう工程を有することを特徴とする薄膜トランジスタ基板の製造方法、(25) 上記22、23又は24記載の薄膜トランジスタ基板の製造方法において、上記ゲート配線パターンは、それを構成する各部分が所望の部分ごとに共通に接続され、互いに接続しない2以上のパターンであり、上記第4工程は各々のパターンごとに異なる電圧で陽極酸化を行なうことを特徴とする薄膜トランジスタ基板の製造方法、(26) 上記22から25のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記第4工程の後に、陽極酸化膜を200℃から350℃の範囲の温度で熱処理する第5工程を有することを特徴とする薄膜トランジ

スタの厚みであり、上記陽極酸化は上記薄膜トランジスタのゲート電極、上記ゲート配線の信号配線との交差部、薄膜容量の少なくともいずれかのみに行なうことを特徴とする薄膜トランジスタ基板の製造方法、(30) 上記29記載の薄膜トランジスタ基板の製造方法において、上記ゲート配線はクロムからなるゲート端子と電気的に接続し、上記陽極酸化は該ゲート端子を通して電圧が印加されることを特徴とする薄膜トランジスタ基板の製造方法によって達成される。

上記第3の目的は、(31) 上記1から6のいずれかに記載の薄膜トランジスタ基板と、それに対向して配置された、少なくとも対向電極を持つ透光性基板と、それらの間に配置された液晶とを有することを特徴とする液晶表示パネル、(32) 上記7から18のいずれかに記載の薄膜トランジスタ基板と、それに対向して配置された、少なくとも対向電極を持つ透光性基板と、それらの間に配置された液晶とを有することを特徴とする液晶表示パネルによって達成される。

スタ基板の製造方法、(27) 上記22から26のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記アルミニウムを主成分とする金属は、アルミニウムを主成分とし、Pd又はSiを含む金属であることを特徴とする薄膜トランジスタ基板の製造方法、(28) 上記22から27のいずれかに記載の薄膜トランジスタ基板の製造方法において、上記第4工程により表面に陽極酸化膜が形成される所望の部分は、少なくとも上記薄膜トランジスタのゲート電極、上記薄膜容量及び上記ゲート配線の信号配線と交差する部分であることを特徴とする薄膜トランジスタ基板の製造方法、(29) 絶縁性基板上に、少なくとも複数のゲート配線と複数の薄膜トランジスタのゲート電極とを含むパターンをアルミニウム又はアルミニウムを主成分とする金属により形成し、該アルミニウム又はアルミニウムを主成分とする金属の所望の部分を陽極酸化して陽極酸化膜とする薄膜トランジスタ基板の製造方法において、上記陽極酸化膜の膜厚は1100から2200Åの範

上記第4の目的は、(33) 絶縁性基板上にアルミニウム又はアルミニウムを主成分とする金属を所望のパターンに形成する工程と、上記所望のパターン上の所望の領域上に選択酸化用マスクとしてポジ型ホトレジストパターンを形成する工程と、上記所望のパターン上へ陽極酸化によつて酸化アルミニウムを形成する工程とを少なくとも有する陽極酸化方法において、上記形成された酸化アルミニウムのパターンの輪郭線と上記所望のパターンとの間で形成される角度で、アルミニウム又はアルミニウムを主成分とする金属の露出している側の角度 $\theta$ は、 $\mu\text{m}$ 単位で表わしたポジ型ホトレジストの膜厚をTとすると

$$\theta \geq 110 - 20T$$

なる条件でポジ型ホトレジストパターンを形成することを特徴とする陽極酸化方法、(34) 絶縁性基板上にアルミニウム又はアルミニウムを主成分とする金属を所望のパターンに形成する工程と、上記所望のパターン上の所望の領域上に選択酸化用マスクとしてネガ型ホトレジストパターンを形

成する工程と、上記所望のパターン上へ陽極酸化によつて酸化アルミニウムを形成する工程とを少なくともも有する陽極酸化方法において、上記形成された酸化アルミニウムのパターンの輪郭線と上記所望のパターンとの間で形成される角度で、アルミニウム又はアルミニウムを主成分とする金属の露出している側の角度 $\theta$ は、90度より小さい条件でネガ型ホットレジストパターンを形成することを特徴とする陽極酸化方法、(35)上記33又は34記載の陽極酸化方法において、上記ホットレジストの膜厚を $1.5\mu\text{m}$ 以上としたことを特徴とする陽極酸化方法、(36)上記33、34又は35記載の陽極酸化方法において、上記ホットレジストのポストベーク温度を $110^\circ\text{C}$ から $160^\circ\text{C}$ の範囲としたことを特徴とする陽極酸化方法、(37)上記33から36のいずれかに記載の陽極酸化方法において、上記ホットレジストのポストベーク時間を5から40分の範囲としたことを特徴とする陽極酸化方法によって達成される。

上記第5の目的は、(38)上記31に記載の

(Pd)、Al(Si)と記載する。このAl(Pd)、Al(Si)はAlと同様に陽極酸化ができ、純Alの場合と同様の $\text{Al}_2\text{O}_3$ を形成できる。1%を超えた量のSiやPdを添加することは、得られる $\text{Al}_2\text{O}_3$ の耐圧が劣化するので望ましくない。SiやPdの好ましい添加量は、0.01%以上であり、特に0.1%から0.3%の範囲がより好ましい。Al(Pd)とAl(Si)との比較では形成される陽極酸化膜は前者の方が約30%高く、Al(Pd)の方がより好ましい。

また、TFTのゲート絶縁膜として $\text{Al}_2\text{O}_3$ を用いるとき、 $\text{Al}_2\text{O}_3$ の膜厚は相互コンダクタンスの点からはできるだけ薄いことが望ましく、静電破壊耐圧の点からは厚いことが望まれる。よって、好ましい膜厚は $1100\text{\AA}$ から $2200\text{\AA}$ の範囲であり、より好ましい膜厚は $1100\text{\AA}$ から $2100\text{\AA}$ の範囲である。

これらのAl(Pd)、Al(Si)はヒロック耐性は改善されるもののホイスカを防止するこ

液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、該液晶表示パネルに走査信号を与えるための走査回路と、該映像信号駆動回路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することと特徴とする液晶表示装置、(39)上記32に記載の液晶表示パネルと、該液晶表示パネルに映像信号を与えるための映像信号駆動回路と、該液晶表示パネルに走査信号を与えるための走査回路と、該映像信号駆動回路及び該走査回路に液晶表示パネル用の情報を与えるための制御回路とを有することと特徴とする液晶表示装置によって達成される。

本発明において、ゲート端子にはCr又はTaを使用し、このゲート端子の先端部でゲート配線となるAl又はAlを主成分とする金属と接続する。Alは熱ストレスで変質しやすく、熱ストレスに耐性をもたせるにはAlに1%(at. %以下同じ)以下のPdやSiを添加した金属を用いることが好ましい。以下、このようなAlをAl

とができなかった。検討した結果、表1に示すようにホイスカは配線幅が $20\mu\text{m}$ 以下に細くすることにより防止できることが分かった。通常、Al配線幅は $100\mu\text{m}$ 程度のものが多用されているが、前述したCr又はTaとAl、Al(Pd)、Al(Si)との接続点の線端を $20\mu\text{m}$ 以下の線幅を持つストライプ状にすることが好ましい。これによりホイスカの発生を完全に防止できた。また、ストライプの線幅は $5\mu\text{m}$ 以上とすることが好ましい。

表 1

Al 線幅 ( $\mu\text{m}$ )	ホイスカの密度 ( $\text{ヶ}/\mu\text{m}^2$ )
70	$5 \times 10^{-6}$
30	$3 \times 10^{-6}$
20	0
10	0

本発明のように陽極酸化しようとする場合にCrとAl又はAlを主成分とする金属との2種の金属があると、化成液にCrやAl又はAlを

主成分とする金属とが重なった部分が接触した場合、この部分のCrが電池反応により溶出してしまい、この部分が消滅し、ゲート断線となる。Crの代りにTaを用いた場合には、AlからAl<sub>2</sub>O<sub>3</sub>へ変化する際の体積膨張率とTaからTa<sub>2</sub>O<sub>5</sub>へ変化する際の体積膨張率とに差があるためにTa<sub>2</sub>O<sub>5</sub>とAl<sub>2</sub>O<sub>3</sub>との境界付近から剥離が生じ、ゲート断線の恐れがある。従って、このような部分をホトレジストで完全に被覆した後に陽極酸化を行なう必要がある。

さらに、本発明のTFT基板の製造方法において、より好ましい製造方法は、陽極酸化の前に行なうホトレジストパターンの形成に際して、ホトレジストの後熱処理（ポストバーク）を現像の前に行なう方法である。すなわち、通常ホトレジストのパターンの形成は、

- (1) ホトレジスト塗布
- (2) 前熱処理（プリバーク）
- (3) 露光
- (4) 現像

るAlを使用するときはヒロックやマイグレーションが改善され、信頼性がさらに向上する。

(3) ゲート配線のゲート端子との接続部は、Alの部分を線幅20μm以下の細線とするとホイスカが発生しない。従って、歩留が向上する。

また、本発明の陽極酸化方法は次の作用がある。陽極酸化を選択的に行うためのマスキング材料として、通常の半導体プロセスで頻繁に使用されているのはポジ型レジストである。これは、レジストをAlパターンに対して交差する様にマスキングを行い、陽極酸化を行うと、このパターン間の交点において、レジストマスクの下においても酸化が進んだり、最悪の場合にはAlが溶けることも有る。これは、マスキング用ホトレジストの耐圧不良によるものである。この耐圧不良は単にレジストの膜厚を厚くしただけでは不十分であることが分かった。ホトレジストのパターンを、Al又はAlを主成分とした金属のパターン上に選択的に被せた際、Alとレジストとが重なる部分のパターン（陽極酸化後において表面がAlとなる

#### (5) 後熱処理（ポストバーク）

の順に行なう。この場合、現像でホトレジストが残ったとき、後熱処理でこの残渣を焼き固めてしまう。さらに炉内の異物や基板周辺の異物が移動して酸化すべき面に付くと、化成液は、入り込むことができず、この部分に陽極酸化膜は形成できない。従ってこの部分は金属が露出し、短絡の原因になる。

そのため、ホトレジストのパターン形成は次の順に行なうことが好ましい。

- (1) ホトレジスト塗布
- (2) 前熱処理（プリバーク）
- (3) 露光
- (4) 後熱処理（ポストバーク）
- (5) 現像

#### 【作用】

上記技術は次の作用がある。

(1) Cr又はTaは大気中にあっても電極には強く、信頼性が向上する。

(2) Alではなく1%以下のPdやSiを含

部分)の角度が90°以下である場合は、レジストのパターン化のために紫外線を照射すると、Alパターンのエッジでのハレーションにより、その近傍のレジストは膜減りを起こし、耐圧不良を起こすことが分かった。さらに言い換えれば、マスキング用ホトレジストのパターンを、Al又はAlを主成分とした金属被酸化部のパターンに対して、このパターンの外側にできる、Alとレジストによる角度が90°以下では、レジストのパターン化のために紫外線を照射すると、Alパターンのエッジでのハレーションにより、その近傍のレジストは膜減りを起こし、耐圧不良を起こすことがわかった。そこで、マスキング用ホトレジストのパターンを、Al又はAlを主成分とした金属被酸化部のパターンに対して、パターンの外側にできる被酸化部のAlとレジストとによる角度を大きくすることにより、ホトレジストを露光する際のAlパターンエッジでのハレーション光の影響を無くし、ホトレジストの膜減り現象は生じることが無く、この場合には、十分な耐圧を

有することがわかった。その結果、陽極酸化時の欠陥（ホトレジスト下への不要な酸化及びA<sub>2</sub>の溶解）を無くすことができた。

この実験例を第21図、第22図を用いて説明する。

絶縁基板10上に、A<sub>2</sub>12'を例えば真空蒸着法によつて膜厚0.2 $\mu$ m堆積し、これを通常のホトエッチング法によりパターン化した。この後ポジ型ホトレジストPRを膜厚2 $\mu$ mに塗布し、所望のホトマスクを用いて紫外線を選択的に照射、露光した。これを現像して第21図に示す形状とした。

第22図はホトレジストのパターンを変化させたときの実験結果を示す図で、その横軸は、マスク用ホトレジストのパターンと、被酸化部のA<sub>2</sub>のパターンとの外側にできる角度 $\theta_1$ 、 $\theta_2$ （A<sub>2</sub>上で言い表すと、A<sub>2</sub>とレジストとが重なる部分の角度 $\theta$ で以下では単に外角と言う）である。これを陽極酸化後の形状で言い表すと、A<sub>2</sub>パターン上において、酸化したアルミナパターン

の輪郭線と、酸化されなかつたA<sub>2</sub>パターンとの間で形成される角度で、A<sub>2</sub>が酸化されずに露出している側の角度である。また、縦軸は陽極酸化時の欠陥発生率であり、図中のパラメータはマスク用ホトレジストの膜厚である。

この実験結果から明らかなように、欠陥はホトレジストの膜厚が薄いほど、かつ外角の小さいほど発生率は高くなる。ホトレジストの膜厚が2.6 $\mu$ mでは角度が60°で欠陥は零となる。ホトレジストの膜厚が1 $\mu$ mでは角度が90°でも、欠陥の発生する可能性がある。角度が90°で欠陥の発生する可能性がまったく無くなるのには、ホトレジストの膜厚としては1.5 $\mu$ m以上必要で有ることが分かる。また、この結果から、角度が大きいほどより安全であることも分かる。

ポジ型ホトレジストにおける、ハレーション光の影響による陽極酸化時の欠陥の発生を、レジスト膜厚と第21図の $\theta$ との関係で表したものが第23図である。第23図の横軸はレジスト膜厚、縦軸は $\theta$ である。レジスト膜厚をTとしたとき、

図中のライン、

$$Y\theta = 110 - 20T$$

の上方は欠陥の発生がない領域を示す。

以上の説明は陽極酸化用マスクとしてポジ型レジストを用いた場合のものである。ネガ型レジストにおいては光化学反応が逆である。すなわちポジ型では、光による低分子化が、ネガ型では、光による重合が起こる。従つてネガ型ではハレーション光の影響も逆となる。すなわち、ネガ型ではハレーション光によつて、A<sub>2</sub>パターン周辺に、本来有つてはならないホトレジストが少し残る。このレジストは特に薄いため、絶縁耐圧は低く、陽極酸化時に欠陥を生じる。ネガ型は、絶縁耐圧の低い薄いレジスト残りの発生機構がポジ型とは異なるものの、欠陥の原因は両者共ハレーション光の影響によるものである。ネガ型では、マスク用ホトレジストのパターンを、A<sub>2</sub>又はA<sub>2</sub>を主成分とした金属被酸化部のパターンに対して、A<sub>2</sub>パターンの外側にできるA<sub>2</sub>とレジストパターンとによる角度すなわち外角を90°以下とす

ることにより、ホトレジストへ露光する際、A<sub>2</sub>パターンエッジでのハレーション光の影響を無くすることができ、ホトレジストの余分な膜残り現象の生じることが無いことが確かめられた。

すなわちネガ型では、その外角は90度以下が良い。またこの場合には、十分な耐圧を有することがわかった。

陽極酸化前のポジ型ホトレジストのポストベーク処理について実験した結果の一例を第24図に示した。

第24図の横軸はポストベーク温度である。縦軸は欠陥発生率である。レジストの膜厚は2.8 $\mu$ mの場合である。

またパラメータは先に記したマスク用ホトレジストのパターンと、A<sub>2</sub>のパターンとの外側にできる角度（外角）である。この実験結果から欠陥は、ポストベーク温度が低いと増えることがわかる。この実験とは別に、ポストベーク強度が余りに強い場合にはホトレジストにクラックが入るという欠陥が発生する。ポストベーク強度の限

界は、(1)温度は160℃であり(2)時間は40分である。

またポストベーク強度が余りに小さい場合には欠陥は多くなり、その下限は、(1)温度は120℃であり(2)時間は5分であることが確かめられた。

ポストベーク強度の効果は、ネガ型ポジ型での差はなかった。

以上の実験による知見から、欠陥発生限界の外角( $\theta$ )をポジ型レジストの膜厚( $T$ )の関数で求めると、第24図の如く外角は

$$\theta = 110 - 20T$$

である。(第22図のデータから得られる)

本式は、Alパターンエッジにおける、ハレーション光の影響によつて、レジストが光化学反応を起こす限界を求めたものである。

すなわち、ポジ型レジストでは、この式で得られる角度より大きな角度の領域が、欠陥の発生の無い領域である。

通常のプロセスでのホトレジストの最大塩

20はSiNよりなる保護膜を示す。他の記号は先に第2図で説明したものと同一である。

まずこのTFT基板の製造方法を述べる。基板10の上にCr11をスパッタリングにより約1000Åの厚みに蒸着し、ホトエッチング(ホトレジストをマスクに用いたエッチング)により、ゲート端子G1、G2を形成する。その上にAl(Pd)(Pd添加量0.1%)12を2800Åの厚みにスパッタリングにより蒸着し、ホトエッチングによりAl(Pd)のゲート配線G<sub>1</sub>'、G<sub>2</sub>'、付加容量Cad、ゲート電極のパターンを形成する。

ゲート配線G<sub>1</sub>'、G<sub>2</sub>'とゲート端子G1、G2とは斜線を施した領域Aで接続されている。この時、領域Aのパターンは第1図(c)に示すようにAl(Pd)の線幅(d)が20μm以下のストライプ状である。これはホイスカを防止するために効果がある。その後、陽極酸化する部分(図中境界線ℓ<sub>1</sub>より右)と化成パッドPADとを除いてホトレジストで被覆する。第1図(c)

布膜厚は5μm程度である。この膜厚におけるレジストの耐圧は250Vであつた。従つて化成電圧を高くするにも上限が有り、200V以下が望ましい。この上限の200VにおけるAl<sub>2</sub>O<sub>3</sub>の成膜膜厚は約280nmであつた。

以上の説明は、Alパターンに純Alを用いる場合について説明したが、AlにSi又はPdを数%以下微量混入したAl(Si)、Al(Pd)材料も前述した方法によつて同様に欠陥無く陽極酸化でき、Al<sub>2</sub>O<sub>3</sub>が得られることが分かつた。すなわち本発明は純Alはもちろん、Al合金材料にも一般に適用できる技術である。

#### 【実施例】

以下、本発明を実施例を用いて詳細に説明する。  
実施例1

第1図(a)は本発明の一実施例のTFT基板の等価回路図、第1図(b)はその平面図、第1図(c)はA領域の拡大平面図、第1図(d)はその断面図である。Cadは付加容量、PADは化成パッド、ℓは切断線、Lは化成バスライン、

において、d'はホトレジスト端部とゲート端子のCr11との距離を示す。

前述したようにCrは化成液に接すると電池反応により溶出してしまうので、化成液に接しないようにしなければならない。一方、ホトレジストで被覆していてもホトレジストとAl(Pd)との界面から化成液がしみ込む。このしみ込む距離は100μm程度である。従つて、d'としては100μm以上とする。

Al(Pd)のゲート配線G<sub>1</sub>'、G<sub>2</sub>'、G<sub>3</sub>'……G<sub>N</sub>'とホトレジスト端とは第4図に示すように直交させる。これは、第5図に示すようにG<sub>1</sub>'とℓ<sub>1</sub>とが鋭角( $\theta$ )で交差するような場合には陽極酸化すると、図中Rで示す部分のAl(Pd)が溶出し、ゲート配線が切れる。これはAl(Pd)の側壁のハレーションでポジ型ホトレジストの端面の膜厚が薄くなり、耐圧がなくなるためである。また、ゲート端子G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>……G<sub>N</sub>は化成バスラインLにて共通に接続されており、化成バスラインLの先端には陽極酸化のた

めの電圧を供給するための化成パッドPADが設けられている。この化成バスラインLはA<sub>2</sub>(Pd)12で形成する。この状態で陽極酸化を行なう。

第6図、第7図はTFT基板全体を示したものである。第6図はゲート端子が左側の化成バスラインLで共通接続され、ここから陽極酸化のための電圧を供給する場合の例を示す。化成パッドPADや化成バスラインLはゲート配線のA<sub>2</sub>(Pd)を用い同時に形成する。境界線L<sub>2</sub>の内部が陽極酸化を行なう領域である。境界線L<sub>2</sub>より外側は化成パッドPADを除いて全てレジストで覆われている。

第7図はゲート配線を左右に引き出した場合の例を示す。この時は化成バスラインLは2本必要になる。なお、電圧を印加するための化成パッドPADはこの例のように角の部分を使うと、スペースの有効活用を図ることができる。この場合、液面ALは化成液の液面を示す。基板を斜めに液の中に浸し、化成パッドPADの部分を液面に

し、これをクリップ等で挟むことによって電圧を印加する。化成パッドPADが化成液にぬれるとその表面に絶縁膜ができ、酸化できない。このように斜めにして液につけることにより液面調整が極めて容易になる。

陽極酸化方法は、化成パッドPADが液面から外にできるようにして化成液に浸し、化成パッドPADに最大72Vから144Vの直流電圧を印加して行なう。印加の仕方は定電流0.5~5mA/cm<sup>2</sup>になるように徐々に0Vから昇圧する。最初から高い電圧を印加した場合、大電流が流れるため、A<sub>2</sub>(Pd)線が溶けゲート線が断線する。化成液としては3%酒石酸をアンモニアによりPH7.0±0.5に調整した溶液をエチレングリコール液で1:9に希釈したものを用いる。電流が0.5mA/cm<sup>2</sup>の場合、約10分で化成電圧が144Vになる。この時、形成されたA<sub>2</sub>O<sub>3</sub>(第1図(d)の13)の厚みは2000Åである。このA<sub>2</sub>O<sub>3</sub>はゲート絶縁膜及び付加容量部の誘電体として利用する。なお、144Vに

なり定電圧酸化が行なわれるようになってから、数分~数10分そのままの状態に保持することが望ましい。これは均一なA<sub>2</sub>O<sub>3</sub>膜を得る上で大事なことである。

再び第1図に戻って説明する。ホトレジストを除去した後、TFTを以下の方法で形成する。全面にプラズマCVD法により、SiN14を2000Å形成する。材料ガスとしてはSiH<sub>4</sub>、NH<sub>3</sub>を主たる成分とするガスを使用する。その上に、a-Si(i)15を2000Å、リンを2.5%ドーピングしたa-Si(n\*)16を300Å堆積する。この時基板温度としては300℃とする。材料ガスとしてはa-SiはSiH<sub>4</sub>を主たる成分とするガスを、a-Si(n\*)にはSiH<sub>4</sub>とPH<sub>3</sub>との混合ガスを使用する。その後、a-Siをパターン化してアレイ状にする。プラズマ膜のエッチングにはSF<sub>6</sub>ガスによるドライエッチ法を用いる。画素電極用の透明電極として酸化インジウムを1000Åスパッタ蒸し、加工して透明電極17を形成する。

TFTのドレイン電極を兼ねる信号配線18、ソース電極用のCr/A<sub>2</sub>をそれぞれ1000Å、3500Åの厚みにスパッタリングにて形成し、パターン化する。ドレイン電極をマスクとしてa-Si(n\*)16をドライエッチングする。

最後に、保護膜20としてSiNを1μm形成し端子部上のSiNを除去して後、化成バスラインLとゲート端子G<sub>1</sub>、G<sub>2</sub>との間を機械的に切断して、TFT基板が完成した。

ここではゲート絶縁膜にA<sub>2</sub>O<sub>3</sub>とSiNの2層膜を使ったがSiN膜は必ずしも必要ではない。また、SiN膜の代わりにSiO<sub>2</sub>を使用することもできる。TFT基板ではゲート電極と他の電極との間には約25V程度の最大電圧が印加される。従って、A<sub>2</sub>O<sub>3</sub>膜厚としては最低500Å以上必要である。また第1図では各画素が列をなすように配置した場合を示したが、半ピッチずれた配置でも良い。また付加容量Cadがない場合でも全く同様に製作できることは勿論である。

また、A<sub>2</sub>(Pd)の他にA<sub>2</sub>、A<sub>2</sub>(Si)



を用いても同様にTFT基板を製造できた。さらにまた、ゲート端子としてCrに代えてTaを用いても同様にTFT基板を製造できた。

本実施例では、陽極酸化したくない部分はホトレジストで覆ったが、陽極酸化したくない部分を化成液に触れないようにする手法も考えられる。しかし、この方法はA2の時には液面が少しでもゆらぐと、新しく液とふれた部分に大電流が流れるため、配線が切れるという欠点があり好ましくない。

つぎに、対向電極及び背、赤、緑のカラーフィルターアレイを持つ透光性基板と、上記により製造したTFT基板とを厚み7.3 $\mu$ mのスペーサーを用いて貼り合わせ、間に液晶を封止し、液晶表示パネルを完成した。以下、その構造を説明する。

第31図にカラー液晶表示パネルの断面全体構造を示す。液晶LCを基準に下部には透明ガラス基板10上にTFT等を形成したTFT基板が配置され、上部にはカラーフィルタFIL、遮光用

ート電極、ソース電極、ドレイン電極のそれぞれと同一製造工程で形成される。

配向膜ORI1及びORI2、透明電極17、共通透明画素電極17b、保護膜20及び20b、絶縁膜であるSiN14のそれぞれの層は、シール材SLの内側に形成される。偏光板POL1、POL2は、下部透明ガラス基板10、上部透明ガラス基板10bのそれぞれの外側の表面に形成されている。

液晶LCは、液晶分子の向きを設定する下部配向膜ORI1及び上部配向膜ORI2の間に封入され、シール材SLによってシールされている。

下部配向膜ORI1は、下部透明ガラス基板10側の保護膜20の上部に形成される。

上部透明ガラス基板10bの内側(液晶側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜20b、共通透明画素電極17b及び上部配向膜ORI2が順次積層して設けられている。

#### 実施例2

第3図(a)は本発明の他の実施例のTFT基

板ブラックマトリクスBM等が形成された透明ガラス基板10bが配置されている。下部透明ガラス基板10側は、1.1mm程度の厚さである。

第31図の中央部は一面素部分の断面を示し、左側は透明ガラス基板10及び10bの左側部分で外部引き出し線の存在する部分の断面を示し、右側は、透明ガラス基板10及び10bの右側部分で外部引き出し線の存在しない部分の断面を示している。

第31図の左側、右側の夫々に示すシール材SLは、液晶LCを封止するように構成されており、液晶封入口(図示していない)を除く透明ガラス基板10及び10bの縁周部全体に沿って形成されている。シール材SLは、例えば、エポキシ樹脂で形成されている。

前記上部透明ガラス基板10b側の共通透明画素電極17bは、少なくとも一個所において、銀ペースト材SILによって、下部透明ガラス基板10側に形成された外部引き出し線17'に接続されている。この外部引き出し線は、前述したゲ

板の等価回路図、第3図(b)はその平面図である。実施例1と異なる点は付加容量Cadが蓄積容量Cstに変わっている点である。実施例1の付加容量は隣接するゲート線が対向電極であったが、蓄積容量の場合、第3図に示すように対向電極配線ST1、ST2が必要となる。第3図(a)に示すように、この対向電極配線は共通接続された上、蓄積容量端子STに接続される。なお、第3図の記号はすべて、第1図と同様である。

本実施例のTFT基板の製法も実施例1とほぼ同様である。製法上の異なる点は、この場合、ゲート配線と蓄積容量、対向電極配線とは各々異なる化成パッド(PAD1、PAD2)に接続されており、このため、異なる化成電圧が印加できることである。すなわち、先に述べたようにゲート絶縁膜は比較的高電圧(25V)が印加されるのに対し、蓄積容量Cstには7V程度の電圧が印加されるのみでより低い電圧しか印加されない。一方、蓄積容量CstはTFT基板の透過率を損なうものであり、電極の面積は小さい程良い。す

なわち、蓄積容量 $C_{st}$ の $Al_2O_3$ 膜厚が薄い程、電極面積が小さくて済み、望ましい。従って、PAD1とPAD2に印加する電圧を異なるものにし、ゲート絶縁膜用の $Al_2O_3$ は厚く(2000Å、電圧144V)、蓄積容量 $C_{st}$ 用の $Al_2O_3$ は薄く、(500Å、電圧36V)とすることができる。

実施例1と全く同様に薄膜回路を完成した後、化成ラインは切断線 $\mathbb{L}$ において切り取ることにによりTFT基板から取り除き、TFT基板が完成した。

ついで実施例1と全く同様に、このTFT基板と透光性基板とを厚み7.3 $\mu m$ のスペーサーを用いて貼り合わせ、間に液晶を封止し、液晶表示パネルを完成した。

#### 実施例3

第8図(a)は本発明の他の実施例のTFT基板の部分平面図、第8図(b)はその断面図、また、第9図はその製造工程を示す断面図である。本実施例においては、領域a、b、cで示した部

と化成パッドPADのホトレジストが除去される。第9図(c)はゲート端子部のみホトレジストPRを残した例を示す。

この状態で、TFT基板を、化成パッドPADが液面から外にでるようにして化成液に浸し、化成パッドPADに直流電圧を印加して陽極酸化を行なう。陽極酸化する $Al(Pd)$ に対し、 $0.5mA/cm^2$ の電流密度になるように(定電流酸化)電圧を0Vから徐々に昇圧し145Vまで上げる。145Vになったらそのままの電圧に保持する(定電圧酸化)。約30分で約2000Åの厚みの $Al_2O_3$ 13が得られる。このとき $Al(Pd)$ の厚みの2800Åの内1300Åが酸化される。領域a、b、cのみを陽極酸化することによりゲート配線 $G_1'$ 、 $G_2'$ の大部分が酸化されずにすむため配線抵抗を低く押さえることができる。

レジストを除去した後、大気中で200℃で60分加熱する。この加熱によって、 $Al_2O_3$ のリーク電流が1桁以上減少する。第10図に

分(それぞれ、TFT部、配線交差部、薄膜容量部に相当する)のみ陽極酸化を行なう。

まずTFT基板の製造方法を述べる。絶縁性の基板10の上にCr11をスパッタ蒸着により約1100Åの厚みに形成し、ホトエッチングにより、ゲート端子 $G_1$ 、 $G_2$ 及びこれらと接続し、陽極酸化のための電圧供給ラインとなる化成バスラインLのパターンを形成する(第9図(a))。その上に $Al(Pd)$ (Pdの添加量0.1%)12を2800Åの厚みにスパッタリングにより蒸着し、ホトエッチングにより $Al(Pd)$ のゲート配線 $G_1'$ 、 $G_2'$ 、付加容量、ゲート電極及び化成バスラインLのパターンを形成する。ゲート配線 $G_1'$ 、 $G_2'$ のゲート端子 $G_1$ 、 $G_2$ との接続部の領域Aの形状は、実施例1で第1図(c)に示した形状と同じである(第9図(b))。

ホトレジストを3 $\mu m$ の厚みに塗布し、90℃でプリベーク後露光する。その後140℃のポストベークを行ない、続いて現像を行なう。これにより陽極酸化する部分(第8図の領域a、b、c)

$Al_2O_3$ のリーク電流と熱処理温度との関係を示す。熱処理温度は200℃から350℃の範囲が望ましい。350℃を越えた高温になると $Al_2O_3$ の剥離が生ずる。この上にプラズマCVD法により、SiN14を2000Åの厚みに、a-Si(i)15を2000Åの厚みに、リンを2.5%ドーピングしたa-Si(n<sup>+</sup>)16を300Åの厚みに堆積する。この時基板温度は300℃とする。その後、a-Siをパターン化してTFT部、配線交差部にa-Siを残す。その後SiN14をパターン化して、ゲート端子上のSiNを除去する(第9図(d))。

透明電極17として酸化インジウムを1000Åの厚みにスパッタ蒸着し、パターン化して透明電極17とゲート端子を形成する。

TFTのドレイン電極を兼ねる信号配線18、ソース電極用のCr/Alをそれぞれ600Å、4000Åの厚みにスパッタリングにて形成し、パターン化する。最後に、保護膜20としてSiNを1 $\mu m$ 形成し、端子部上のSiNを除去して

後、化成バスラインLとゲート端子 $G_1$ 、 $G_2$ との間を機械的に切断して、TFT基板が完成した(第9図(a))。

こうして得られたTFT基板は、ゲート配線抵抗が低く、TFT部及び配線交差部での電流間短絡がなく、また、 $Al_2O_3$ の比誘電率は9.2と、 $SiN$ の6.7より約30%高く、TFTの相互コンダクタンス $g_m$ が約1.5倍向上でき、付加容量部の面積も小さくでき、そのため透過率が向上した。このように高歩留、高性能のTFT基板が得られた。

つぎに、対向電極及び青、赤、緑のカラーフィルタアレーを持つ透光性基板と、上記により製造したTFT基板とを厚み $7.3\mu m$ のスペーサーを用いて貼り合わせ、間に液晶を封止し、液晶表示パネルを完成した。

本実施例では、 $Al(Pd)$ をゲート配線パターン材料に用いたが、他に $Al$ 、 $Al(Si)$ を用いても同様にTFT基板を製造できた。また、ゲート端子の材料として $Cr$ に代えて $Ta$ を用い

ても同様にTFT基板を製造できた。薄膜容量として付加容量の例を示したが蓄積容量の場合も同様に製造できた。

また、 $Al_2O_3$ 形成以後の工程には限定なく、例えば、 $Cr/Al$ の信号配線を先に形成し、透明電極を後に形成してもよい。陽極酸化により形成される $Al_2O_3$ は2000Åの例を示したが、1100Åから2200Åとすることが好ましい。

なお、TFTの活性層には $a-Si$ 例を挙げたが、ポリ $Si$ 等他の材料であってもよいことはもちろんである。

#### 実施例4

第11図(a)、(b)、(c)、第12図(a)、(b)、(c)、(d)、(e)を用いて説明する。第11図(a)は、本発明の他の実施例のTFT基板の断面を示し、第11図(b)はその平面を示す。同図において10は絶縁性基板、12'はゲート配線パターンの $Al$ 、11はゲート端子用の $Cr$ 、13は $Al$ の陽極酸化膜である $Al_2O_3$ 、14'は窒化シリコン膜、15'

は $a-Si$ 、19は窒化シリコン膜、16はリンドープ水素化非晶質シリコン( $n^+$ 層)、11'、12''、17はそれぞれ、 $Cr$ 、 $Al$ 、透明電極、20は保護膜、Lは化成バスライン、 $G_1'$ 、 $G_2'$ はゲート配線、 $D_1$ はドレイン端子(薄膜トランジスタのドレイン電極をも兼ねる) aはTFT部の陽極酸化領域、bは配線交差領域、cは薄膜容量部の陽極酸化領域を示す。

第12図(a)、(b)、(c)、(d)、(e)は各々の工程での断面図を示した。第12図(a)は陽極酸化後、第12図(b)は窒化シリコン膜をパターン化した後、第12図(c)は $n^+$ 層をパターン化後、第12図(d) $Al$ 12''をパターン化した後、第12図(e)は画素電極用の透明電極17をパターン化した後を示す。

絶縁性基板10上に $Cr$ をスパッタ蒸着により1100Åの厚みに形成し、パターン化して、ゲート端子 $G_1$ 、 $G_2$ 及びこれらを共通接続し、陽極酸化のための電圧供給ラインとなる化成バスライ

ンLを形成する。さらに $Al$ を2600Åの厚みにスパッタ法により形成し、パターン化してゲート電極12'及びゲート配線 $G_1'$ 、 $G_2'$ を形成する。この時各ゲート配線 $G_1'$ 、 $G_2'$ は化成バスラインLにより共通接続される。その後、ホトレジストを $3\mu m$ 塗布し、ホトエッチングプロセスにより、第11図(b)に破線で囲んだ領域a、b、cの部分のレジストを除去する。

この状態で、基板を化成液に浸し、化成バスラインに電圧を供給する。陽極酸化する $Al$ に対し、 $0.5\sim 1.0mA/cm^2$ の電流密度になるよう(定電流酸化)電圧を0から徐々に昇圧し+120Vまで上げる。+120Vになったらそのままその電圧に保持する(定電圧酸化)。約30分で約1700Åの $Al_2O_3$ 13が得られる。この時 $Al$ の厚み2600Åの内1100Åが酸化される。化成液としては3%酒石酸溶液をアンモニアで中和しエチレングリコール、もしくはプロピレングリコールで1:9に希釈し $PH7\pm 0.5$ に調整した溶液を用いる。このように局部的に陽極

酸化することにより、ゲート配線 $G_1'$ 、 $G_2'$ の大部分の $Al$ が陽極酸化されず、すむため、配線抵抗を低く抑えることが出来る。

なお、第11図(c)にはゲート配線の $Al$ 12'とゲート端子の $Cr$ 11との接続領域Aの拡大図を示した。図中dは $Al$ パターンの線幅を示す。このように複雑なパターンにしている理由は、 $Al$ 又は $Al$ を主体とする金属は熱ストレスが加えられた場合、ホイスカが発生するのを防ぐためである。 $Al$ の線幅dが $25\mu m$ 以上であればホイスカが発生する場合があるが、線幅dが $20\mu m$ 以下、より好ましくは $10\mu m$ 以下であればホイスカが発生しない。このため第11図(c)のようなパターンにした。もちろん $Al_2O_3$ で覆われた $Al$ の部分にはホイスカは発生しない。

レジストを除去した後、大気中あるいは真空中で $200\sim 400^\circ C$ で60分加熱する。この加熱によつて $Al_2O_3$ のリーク電流が1桁以上減少する。これについては第10図に示した。熱処理温

より堆積しパターン化して、画素電極、端子等を形成する。次に、プラズマCVDで窒化シリコンを約 $1\mu m$ 堆積し、ホトエッチングプロセスにより端子部上の窒化シリコンを除去して、薄膜トランジスタ基板が完成する。

この基板と対向基板とを合わせ、間に液晶を封じし、最後にゲートバスラインLを第11図(b)の切断線Lに沿って切り出すことにより各ゲート端子を分離して表示パネルが完成する。なお、このゲートバスラインLはパネルを静電破壊から守る役目をも兼ねるものである。

こうして得られた表示パネルはゲート配線抵抗が低く、TFT部、及び配線交差部での電極間短絡がなく、また、 $Al_2O_3$ の比誘電率は9.2と窒化シリコンの6.7より30%高く、TFTの相互コンダクタンス $g_m$ が約1.5倍向上でき、付加容量部の面積も小さくて透過率が向上した。このように、高歩留で、高性能のパネルが得られた。ここではゲート電極・配線に $Al$ を用いた場合の例で示したが $Al$ の代わりに1%以下の

度としては $200\sim 400^\circ C$ が望ましい。これ以上の高温になると $Al$ 膜上に剥離が生じる。この上にプラズマCVD法により、第1の窒化シリコン14'を $1200\sim 2000\text{\AA}$ の厚みに、 $a-Si$ 15'を $200\sim 1000\text{\AA}$ の厚みに、第2の窒化シリコン19を $1000\sim 2000\text{\AA}$ の厚みに堆積する。この時基板温度は $150\sim 300^\circ C$ とした。その後、第2の窒化シリコン19をパターン化し、TFTのチャネル上と配線交差部のみに残した(第11図(a))。

リンを0.6~2.5%ドーブした非晶質シリコン( $n^+$ 層)16を $200\sim 500\text{\AA}$ の厚みに堆積し、パターン化してTFTのソース・ドレイン部のみに残す。この時 $a-Si$ 15'も同時に除去する。 $Cr$ 11'を $500\sim 1000\text{\AA}$ の厚みに、 $Al$ 12'を $3000\sim 8000\text{\AA}$ の厚みに抵抗加熱蒸着あるいはスパッタにて堆積し、パターン化して、ドレイン端子 $D_1$ 、TFTのドレイン・ソース電極を形成する。次に酸化インジウムよりなる透明電極17を約 $1000\text{\AA}$ スパッタに

$Si$ や $Pd$ を含んだ $Al$ でも全く同様に使用できる。また、ドレイン端子に $Al$ を用いたが $Al$ の代わりに先の $Al(Si)$ 、 $Al(Pd)$ が使用できる。

なお、薄膜容量について説明を加える。第13図(a)、(b)、(c)、(d)にTFT基板の2画素分に対応する部分の回路図を示す。

第13図(a)は付加容量がない場合、第13図(b)は隣接したゲート配線との間に付加容量を形成した場合、第13図(c)は自身のゲート配線との間で付加容量を形成した場合、第13図(d)は隣接したゲート配線との間に付加容量を形成する場合の別の例を示す。

同図において、 $G_1'$ はゲート配線、 $G_2'$ は隣接したゲート配線、 $T_{11}$ 、 $T_{12}$ はTFT、LCは液晶、G、S、Dは各々TFTのゲート、ソース、ドレインである。Vcomは共通端子、bは配線交差領域、Cadは付加容量、 $D_1$ 、 $D_2$ はドレイン端子である。第13図(b)、(d)で $G_1'$ をゲート配線とは別配線としても良いことはもち

らんである。

いずれの場合にも全く同様に製作できることは勿論である。また、ここではゲート電極Gと配線交差領域bが分離している例を示したが、分離していなくても良い。

特に重要なことは $Al_2O_3$ 膜厚であり、これについて説明する。TFTの相互コンダクタンス $g_m$ から言えばゲート絶縁膜は薄い程良い。第14図(a)に相互コンダクタンス $g_m$ と $Al_2O_3$ 、SiNの膜厚との関係を示す。従来ゲート絶縁膜としては膜厚 $0.3\mu m$ 程度のSiNが多用されている。この時の相互コンダクタンス $g_m$ を1とした時に、 $Al_2O_3$ とSiNの膜厚を変えた場合の相互コンダクタンス $g_m$ の値を示したものである。この図より明らかなように2層のゲート絶縁膜とする利点は電極間短絡以外に相互コンダクタンス $g_m$ を改善できる点にもある。従って第14図(a)中に斜線を施した領域が相互コンダクタンス $g_m$ から望ましい領域となる。一方、薄くなれば絶縁耐圧が下がる。通常の液晶パネルの動作

のリーク電流特性を示す。このリーク電流はある電圧までは低いが、ある電圧以上で急激に増加する。この電流はTFTのオフ電流に加算される。従って小さい程望ましい。TFTのオフ電流は約 $10^{-8}A/\mu m$ であり、このリーク電流もこれ以下である必要がある。先に述べたように液晶パネルでは $-25V$ の電圧が印加されるがこの電圧でリーク電流が $10^{-8}A/\mu m$ 以下となるのは陽極酸化電圧が $80V$ 以上の時である。この点からも $Al_2O_3$ 膜厚は $1100\text{\AA}$ 以上必要と言える。

$Al_2O_3$ 膜厚を制約するものとしてレジスト耐圧がある。前記したように陽極酸化したくない部分はホトレジストで被覆するが陽極酸化電圧がホトレジストの耐圧を超えた場合レジストが破壊されると同時にその下にあるAlが消失する。従って、陽極酸化電圧を高くすることは適当でなく、 $150V$ (この時 $Al_2O_3$ 膜厚は約 $2100\sim 2200\text{\AA}$ )以下が望ましい。第14図(a)中に以上述べた $Al_2O_3$ 、SiNの最適膜厚領域を格子網目で示した。

状態ではゲートとドレイン(信号配線)間には最大 $25V$ の電圧(ゲートが負極性)が印加される。実際の製品ではこの $25V$ の電圧を補償するために、この3倍の $75V$ でのスクリーニングが行なわれる。従って、 $Al_2O_3$ もSiNも各々の膜がこの電圧に耐え得る膜厚でなければならない。

(異物があることを前提とした場合、 $Al_2O_3$ がない部分、SiNのない部分があると考えねばならない)。表2に $Al_2O_3$ 、SiNの膜の破壊耐圧と $75V$ に耐える最小膜厚を記した。 $Al_2O_3$ 、SiN各々厚み $1100$ 、 $1200\text{\AA}$ 以上が必要となる。 $Al_2O_3$ の厚み $1100\text{\AA}$ というのは陽極酸化電圧 $80V$ に対応する。

表 2

絶縁膜 破壊耐圧  $75V$ に耐える膜厚 陽極酸化電圧

	MV/ $\mu m$	$\text{\AA}$	V
$Al_2O_3$	6.8	1100	80
SiN	6.3	1200	-

さらに、第14図(b)に陽極酸化膜 $Al_2O_3$ 、

$Al_2O_3$ は $1100\sim 2200\text{\AA}$ の範囲、特に $1100\sim 2100\text{\AA}$ の範囲、SiNは $1200\sim 2000\text{\AA}$ の範囲での2層絶縁膜が望ましい。  
実施例5

本実施例ではゲート端子部を除いて全面陽極酸化する場合を示す。第15図(a)は本実施例によるTFT基板の断面を示し、第15図(b)はその平面を示す。第15図(c)にはゲート端子とゲート配線接続部の拡大図を示す。各部の記号は既述の実施例と同様である。

製作工程は実施例4と同様である。違うのは陽極酸化時のホトレジストの形状だけである。第15図(b)に破線 $d$ で示した線よりゲート端子側をレジストで被覆した後、陽極酸化を行なう。Crゲート端子が化成液に触れるとこの部分のCrは電池反応により溶出してしまうので、完全にレジストで被覆する必要がある。なお、第15図(c)の図中記号 $d'$ はレジスト端とCrとの間の距離を示すが化成液がしみ込むので、 $d'$ は $100\mu m$ 以上にする必要がある。この場合は第

15図(c)のようにレジスト端面はゲート配線と直交させている。実施例4でレジスト耐圧について説明したが、このレジストの耐圧はレジストパターンとA<sub>2</sub>O<sub>3</sub>配線パターンとの相対的な位置関係によつて大きく左右される。これを説明する。

第16図に示すようにゲート端子はその先端付近において斜めになる部分がある。このような部分をホットレジストで覆う場合、第16図に示すようなホットレジストパターン(斜線部がホットレジストで被覆する部分)が考えられる。この時、ゲート配線とレジスト端とは各々、図に示すように角度 $\theta_1$ 、 $\theta_2$ とで交差する。この図の場合、 $\theta_1$ は鈍角、 $\theta_2$ は鋭角となるが、このようなレジストパターンで陽極酸化を行なうと、鋭角 $\theta_2$ 側においてゲート配線が溶出し、ゲート配線が断線する。これはレジストパターン露光時にゲート配線とレジスト端の距離が近いために、ゲート配線により光が散乱し、結果として、この部分のレジスト膜厚が薄くなり耐圧が落ちるからである。

これはレジストパターンの $\theta_1$ 、 $\theta_2$ を直角もし

くは鈍角にすることにより防止できる。第17図に $\theta_1$ 、 $\theta_2$ ともに直角にした場合を示す。

実施例4、5ではA<sub>2</sub>O<sub>3</sub>の上に窒化シリコン膜を形成する場合について述べたが、実施例4、5で窒化シリコンの代わりにSiO<sub>2</sub>を使うことができる。

SiO<sub>2</sub>は次の方法で形成する。SiH<sub>4</sub>とN<sub>2</sub>Oとを主成分とする混合ガスを用いたプラズマCVD法にて膜厚1000~3000ÅのSiO<sub>2</sub>膜を形成する。基板温度は200~300℃とする。このSiO<sub>2</sub>膜を用いた場合の構造は第11図及び第12図の窒化シリコン14'がSiO<sub>2</sub>になるところのみが違ふ。その他は実施例4、5と全く同様である。

#### 実施例6

実施例4、5ではプラズマCVD法によりA<sub>2</sub>O<sub>3</sub>の上に第1の窒化シリコン、非晶質シリコン、第2の窒化シリコンの順に堆積したが、本実施例は第2の窒化シリコンを使用しない例である。第18図(a)、(b)、(c)、(d)、

(e)、(f)を用いて説明する。第18図(a)、(b)、(c)は同図(f)で示したTFT部(領域a)、配線交差部(領域b)、付加容量部(領域c)に対応する部分のa-a'、b-b'、c-c'線断面図を示したものである。図の記号は既述の実施例と同様である。平面レイアウトは第11図(b)と同様である。

絶縁性基板10上にA<sub>2</sub>O<sub>3</sub>12'を2800Å形成する。パターン化して、ゲート配線G<sub>1</sub>'とゲート電極と付加容量電極とを含むゲート配線パターンを形成する。陽極化成して、A<sub>2</sub>O<sub>3</sub>13を形成する。化成電圧144Vとする。この時A<sub>2</sub>O<sub>3</sub>13の膜厚は約2000Åとなり、化成されないA<sub>2</sub>O<sub>3</sub>12'の膜厚は約1500Åである。この上にプラズマCVD法により窒化シリコン14'(酸化シリコンでもよい)を1200~2000Åの厚みに形成する。続いて、非晶質シリコン15'を200~2000Å形成する。さらにリンを0.5~2.5%含んだ非晶質シリコン16を堆積する。その後ホットエッチングプロセス

にて、TFT部、配線交差部以外の部分の非晶質シリコン膜を除去する。その後、Cr11'を400~1000Åの厚みに、A<sub>2</sub>O<sub>3</sub>12'を3000~5000Åの厚みに形成し、パターン化して、信号配線、TFTのソース、ドレイン電極を形成する。次でこれをマスクにリンドープ非晶質シリコン16を加工する。その後、酸化インジウム透明電極17を500~2000Åの厚みにスパッタ法により形成し画素電極を形成する。この透明電極はA<sub>2</sub>の上全域に残しても良い。これで第18図(a)~(c)に示した構造を持つTFT基板が完成する。この上に保護膜窒化シリコン(約1μm)を形成し、後は既述の実施例と同様の方法でパネルが完成する。

配線交差部と付加容量部はこの構造のみでなく、例えば第18図(d)、(e)に示すような構造をとることができる。

第18図(d)は配線交差部の層間絶縁膜をA<sub>2</sub>O<sub>3</sub>のみにした例、第18図(e)は付加容量部の誘電体をA<sub>2</sub>O<sub>3</sub>のみにした例を示したも

のである。このようにして $Al_2O_3$ 、 $SiN$ もしくは $SiO_2$ 、 $a-Si$ のどれを挟み込むかはマスクを変えることによつて選択できることはもちろんである。

本実施例では非晶質シリコンとリンドーブ非晶質シリコン膜とが連続で形成でき、薄膜トランジスタの特性が安定できることが特徴となる。

また、上記の $Al$ に代えて、 $Al(1\%Si)$ 、 $Al(0.3\%Pd)$ を用いても同様な効果が得られる。さらにまた、ここではドレイン端子に $Cr$ と $Al$ との2層膜を使用した $Al$ のみでも良い。

#### 実施例7

第13図(b)に等価回路を示した例の実施例を第19図(a)、(b)、(c)、(d)、(e)に示す。第19図(b)、(c)、(d)、(e)は同図(a)に示したA-A'、B-B'、C-C'、D-D'線に対応する部分の断面図をそれぞれ示したものである。

絶縁性基板10上に $Al(0.1\%Pd)$ 12

に形成し、パターン化して信号配線18、TFTのソース電極55、蓄積容量部配線57を形成する。次にこれをマスクとしてリンドーブ非晶質シリコン16を加工する。その後、酸化インジウムよりなる透明電極17を500~2000Åの厚みにスパッタ法により形成し、画素電極を形成する。この透明電極は $Al$ の上全面に残しても良い。この上に保護膜20として窒化シリコン膜を形成して、後は既述の実施例と同様にしてTFT基板が完成する。

本実施例は蓄積容量部の絶縁膜として $Al_2O_3$ のみを用いる。この他にも $Al_2O_3/SiN$ 2層の絶縁膜を用いることができるが、 $Al_2O_3$ だけの方が容量が大きくなり、その分、蓄積容量部の占有面積を小さくできるので、基板の透過率を向上することができる。表3に本実施例での使用可能な絶縁膜(誘電体膜)と、それを必要とする場所とをまとめた。

(以下余白)

を2800Åの厚みに形成し、ホトエッチングによりパターン化してゲード電極56、ゲート配線 $G_1'$ 、蓄積容量線51、蓄積容量 $Cst$ を形成する。実施例4、5で述べた方法により、この $Al(Pd)$ を陽極酸化して、 $Al_2O_3$ 13を2000Åの厚みに形成する。この上にプラズマCVD法により窒化シリコン14'を1200~2000Åの厚みに形成し、さらに非晶質シリコン15'を200~2000Åの厚みに形成する。さらにリンを含んだ非晶質シリコン16を形成する。その後ホトエッチングプロセスにてTFT部、配線交差部以外の部分の非晶質シリコンを除去する。さらに、蓄積容量 $Cst$ の窒化シリコン膜を除去する。これで蓄積容量には $Al_2O_3$ のみが残る。窒化シリコン膜は通常CF<sub>4</sub>ガスを用いたプラズマアツシヤで除去するが、 $Al_2O_3$ 膜はこのCF<sub>4</sub>ガスアツシヤには極めて耐性があり、このように $Al_2O_3$ 上の $SiN$ のみを除去することが可能である。この後、 $Cr$ を400~1000Åの厚みに、 $Al$ を3000~5000Åの厚み

表 3

場所	材料		
	酸化膜	窒化シリコン膜	a-Si膜
ゲート部	○	○	○
ゲート配線			
と信号配線	○	○	△
交差部			
蓄積容量線			
と信号配線	○	○	△
交差部			
蓄積容量部	○	×	×
○必要 ×不要 △どちらでも可			

表中の△印は場合により、使用するかどうかを決めれば良い。

#### 実施例8

実施例7は蓄積容量線51をゲート配線 $G_1'$ とは別に設けたが、本実施例は、第20図(a)、(b)、(c)、(d)、(e)に示すように、隣接するゲート配線 $G_1'$ の1部を蓄積容量として用いた例である。なお、第20図(b)、(c)

、(d)、(e)は同図(a)で示したA-A'、B-B'、C-C'、D-D'線に対応する部分の断面図をそれぞれ示したものである。

#### 実施例 9

本発明の第9の実施例を第21図を用いて説明する。

絶縁基板10上に、Al12'を真空蒸着法によつて膜厚0.2 $\mu$ mに堆積し、これを通常のホトエッチング法によりパターン化した。この後ボジ型ホトレジストPR(東京応化工業製、商品名OFPR-800)を膜厚2 $\mu$ mに塗布し、所望のホトマスクを用いて紫外線を選択的に照射、露光した。これを現像して得た状態が第21図である。PADはAlの陽極酸化の際に電圧を印化するための化成パッド(陽極酸化用端子)である。ここで特に重要な点は、Alパターンと陽極酸化用マスクパターンそれぞれの、パターンエッジによる交点である。すなわち第21図における如く、外角 $\theta 1$ 、 $\theta 2$ を135°にした点である。これを120℃20分の熱処理によるポストバークを

行つた後、化成液の液面が図中のA-A'ライン付近になるようにして陽極酸化を行なつた。この陽極酸化における電圧の印加方法は、初期においては50 $\mu$ A/cmの電流密度で徐々に電圧を上昇し、100Vの電圧になつた時点で一定電圧100Vを15分間印加して陽極酸化を行なつた。その結果、ホトレジストの載つていない液中のAl12'上に膜厚約140nmのAl<sub>2</sub>O<sub>3</sub>を成長することができた。この際、Al(2)上の陽極酸化用マスク(ホトレジストPR)は充分な耐圧を示し、絶縁破壊を起こすことはなかつた。特に陽極酸化用マスクのパターンエッジは絶縁破壊を起こし易いが、本実施例の如く外角 $\theta 1$ 、 $\theta 2$ を90°以上(135°)にしたことにより、陽極酸化用マスクのパターンエッジでの絶縁破壊による欠陥の発生は皆無であつた。

#### 実施例 10

本発明の第10の実施例を第25図、第26図、第27図及び第28図により説明する。ここではTFTを用いた液晶ディスプレイに本技術を応用

した例を示す。

第25図は薄膜トランジスタを用いた液晶ディスプレイ駆動用パネルの一部分を模式的に示す図である。

同図のT<sub>11</sub>はTFTで1画素ごとに備えており、映像信号が、ドレイン端子D<sub>N</sub>から供給され、このトランジスタで各画素に書き込むものである。映像信号はT<sub>11</sub>のTFTを介して液晶LCに供給され、画素ごとに所望の映像を現す。C<sub>ad</sub>は映像信号をより長く保持するための付加容量であり、58、55及び56は各々トランジスタのドレイン電極、ソース電極及びゲート電極である。18はドレイン端子D<sub>N</sub>から供給される映像信号を各画素に供給するための信号配線であり、G<sub>N'</sub>は信号を書き込む行を選択するためのゲート配線(走査線)である。このゲート配線はゲート端子G<sub>N</sub>に接続されている。

このような液晶ディスプレイパネルを実現するためには、一般にはガラス基板上に、先ずゲート電極とゲート配線及びゲート端子を形成する。

ここでは、ゲート電極とゲート配線及びゲート端子をAlで形成する例を説明する。

第26図はディスプレイパネルにおける、ゲート配線を施した場合の概要を示す平面図である。10はガラス基板、40はゲート電極とゲート配線さらにはトランジスタあるいは画素等のあるデバイス部で先の第25図におけるTFTアレイ部である。G<sub>N</sub>はゲート端子である。41はデバイス部40とゲート端子G<sub>N</sub>を接続すると共に、デバイス部の行ピッチと端子部のピッチを調節することと、外部接続に都合の良い本数を一ブロック毎にまとめて、端子ブロックを形成するための、引き出し線部である。

引き出し線部41付近の拡大図を第27図に示した。同図は、先の第26図のデバイス部40が下方になるように90度回転した状態で示している。引き出し線部は前記理由のため、ゲート配線及びゲート端子の如く等間隔、平行パターンとはならず、通常は第27図の如く斜めになるとともに、所によりパターンは種々の方向を採ること



が多い。

ところで、デバイス部の中で特に重要で複雑な構造をなす、TFT部の、本実施例における工程断面図を第28図(a)、(b)、(c)、(d)、(e)に示した。第28図(a)はTFTのゲート電極を膜厚 $0.3\mu\text{m}$ の $\text{Al}_2\text{O}_3$ で形成したものである。

ここでは第26図のデバイス部40を陽極酸化して、第28図に示すように、 $\text{Al}_2\text{O}_3$ 13を $\text{Al}_2\text{O}_3$ 12'上に成長させ、この $\text{Al}_2\text{O}_3$ をゲート絶縁膜の一部及び配線交差部の絶縁膜に用いるものである。従って端子以外を酸化させることとした。この陽極酸化のため、端子を束ねた部分が第27図の化成パッド部44である。またここには陽極酸化の際に電圧を印加するための化成パッドPADがある。第27図中PRは陽極酸化用マスクのポジ型ホトレジストである。ここではホトレジストの膜厚は $3.5\mu\text{m}$ とした。特に重要な点は陽極酸化液(化成液)中に浸る部分での、 $\text{Al}$ パターンと陽極酸化用マスクパターンそれぞれの、

上に $\text{Al}_2\text{O}_3$ 膜を $210\text{nm}$ 成長させることができた。ここでの陽極酸化において、外角 $\theta$ を $135^\circ$ 、ポストバックを $140^\circ$ で30分としたことから、酸化時の欠陥は皆無であつた。なお、このときのトランジスタ部の構造は第28図(b)の如くである。

本技術の主要な部分は以上であるが、液晶ディスプレイ用パネルを製作するための説明を、第28図を用いて以下簡単に行なう。第28図(b)の後、プラズマCVD法により $\text{SiN}14$ 、 $\text{a-Si(i)}15$ 及び $\text{a-Si(n)}16$ を順次堆積した後、第28図(c)の如く $\text{a-Si(n)}16$ と $\text{a-Si(i)}15$ をゲート電極幅より小さく加工した。次に第28図(d)の如く、電極となる $\text{Cr}11$ を真空蒸着法により堆積し、ソース及びドレイン電極の形状に加工した。

さらに電極及び配線を行なうため、 $\text{Al}12'$ を真空蒸着法により堆積し、第28図(e)の如くとした。なお両素電極である透明電極(例えばITO膜)を形成するが、それは、この工程の後、

パターンエッジによる交点である。先に記したように、引き出し線部41は $\text{Al}$ パターンが種々方向を向いているため、陽極酸化用の化成液中での、ホトレジストと $\text{Al}$ との両パターン間の外角は、第27図中の水平方向に一直線にホトレジストパターンを形成すると、その外角は種々の角度を取り、例えば $40^\circ \sim 140^\circ$ となってしまう。このように外角が種々の角度、特にマスク用ホトレジストがポジタイプの場合 $90^\circ$ 以下となると欠陥が発生しやすい。本実施例では第27図の如く外角は全て $135^\circ$ とした。

次に $140^\circ$ で、30分のポストバック処理を施した後、陽極酸化を行なつた。陽極酸化は第27図のA-A'付近に陽極酸化用の化成液の液面になるようにした。化成液は酒石酸3%水溶液にアンモニア水を添加、中和後プロピレングリコールを容積比で10倍加えたものを用いた。化成パッドPADから、初期は $30\text{mA}/\text{cm}^2$ の定電流を流し、 $150\text{V}$ に達した後は定電圧で20分間の電圧を加えて、陽極酸化を行なつた。その結果 $\text{Al}$

もしくは前記ソース及びドレイン電極形成前であっても良い。(ここでは煩雑を避けるために透明電極は図示していない)このようにして液晶ディスプレイパネル用のTFTを作つた。このトランジスタのゲート絶縁膜には前記した、陽極酸化による $\text{Al}_2\text{O}_3$ と $\text{SiN}$ とで構成しており、二層ゲート絶縁膜となつていることから、特に絶縁性には優れた構造とすることが出来た。

#### 実施例11

本発明の第11の実施例を第29図を用いて説明する。また、本実施例でも液晶ディスプレイパネルを想定して陽極酸化を行なつた。基板10上に $\text{Al}12'$ を $0.3\mu\text{m}$ 堆積し、実施例10と同様に $\text{Al}12'$ を加工した。さらに、この例でも実施例10と同様に、陽極酸化をする部分と、陽極酸化をしない部分との間に、選択的に陽極酸化をするための保護用マスクを設けた。ここでは、マスクとしては、OFPR-800(ポジ型レジスト)を膜厚 $4\mu\text{m}$ とし、 $\text{Al}12'$ とレジストパターンPRとの外角を、どの部分の交点

においても90°になるようにした。この後、130で30分のポストベークを施した。次に同図のA-A'付近に、陽極酸化用化成液の液面となるようにして、化成パッドPADから80nA/cmの電流密度で電流を流した。徐々に電圧が上昇しながらAl<sub>2</sub>O<sub>3</sub>が成長する。電圧が140Vになった時点からは、この電圧で20分間保持した。こうして陽極酸化を行なった後、ホトレジストを取り除いた。その結果、約200nmの膜厚のAl<sub>2</sub>O<sub>3</sub>が成膜できた。この陽極酸化において、ホトレジストのマスクパターン形状を、いずれのAlパターンとの交点においても、90°としたこと、及びホトレジストの膜厚を4μmと十分に厚くした効果により、陽極酸化でのAlの溶解等の欠陥は皆無であった。

#### 実施例12

第12の実施例を第30図を用いて説明する。本実施例でも液晶ディスプレイパネルを想定して陽極酸化を行なった。

基板10上にAl12'を0.35μm堆積し、

後、ホトレジストを取り除いた。その結果、約280nmの膜厚のAl<sub>2</sub>O<sub>3</sub>が成膜できた。この陽極酸化において、ホトレジストのマスクパターン形状を、いずれのAlパターンとの交点においても、60°としたことで、Alパターンエッジでのハレーションの影響を無くすることができたため、陽極酸化中でのAlの溶解、断線等の欠陥は皆無であった。

#### 実施例13

第33図に本発明の液晶表示装置の一実施例を示す。この装置は、液晶表示パネル81と、該液晶表示パネルに映像信号を与えるための映像信号駆動回路83と、該液晶表示パネルに走査信号を与えるための走査回路84と、該映像信号駆動回路及び走査回路にTFT情報を与えるための制御回路82を有する。制御回路82は電源回路、上位演算処理装置からの情報をTFT情報に変換する回路等を含む。前記実施例で得た液晶表示パネルをそれぞれ用いてこの装置に組み込んだところ、いずれも信頼性の高い画像が得られた。

実施例10と同様にしてAl12'を加工した。さらに、この例でも実施例10と同様に、陽極酸化をする部分と、陽極酸化をしない部分との間に、選択的に陽極酸化をするための保護用マスクとそてホトレジストPRを設けた。ここでは、マスクとしては、OMR（ネガ型レジスト）を膜厚3μmとし、Alとレジストパターンとの外角を、どの部分の交点においても60°になるようにした。ネガ型レジストでは、紫外線露光によるパターン化の際、Alパターンエッジでのハレーションによりレジストが重合して、レジスト残りを生じる。この影響を取り除くため、本実施例では外角を60°とした。この後、140で、40分間のポストベークを施した。

その後、同図のA-A'付近に、陽極酸化用化成液の液面となるようにして、化成パッドPADから100nA/cmの電流密度で電流を流した。徐々に電圧は上昇しながらAl<sub>2</sub>O<sub>3</sub>が成長する。電圧が200Vになった時点からは、この電圧で20分間保持した。こうして陽極酸化を行なった

#### 【発明の効果】

本発明により、TFT基板の信頼性が著しく向上し、相互コンダクタンスg<sub>m</sub>も25%~50%向上し、光利用率も20%以上向上した。またその製造に際し、大幅に歩留を改善することができた。Alを局所的に陽極酸化することにより配線抵抗を下げることもできた。このTFT基板を用いた液晶表示パネルの信頼性が著しく向上した。さらにまた、この液晶表示パネルを用いた液晶表示装置の信頼性も著しく向上した。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のTFT基板の等価回路図、平面図、部分拡大平面図及び断面図、第2図は従来のTFT基板の等価回路図、平面図及び断面図、第3図は本発明の他の実施例のTFT基板の等価回路図及び平面図、第4図及び第5図はゲート配線とホトレジスト端部との交差の状態を示す平面図、第6図、第7図は本発明のTFT基板の一実施例の全体の平面図、第8図は本発明のさらに他の実施例のTFT基板の平面図及び断

面図、第9図はその製造工程を示す断面図、第10図はリーク電流と熱処理温度との関係を示す図、第11図は本発明のさらに他の実施例のTFT基板の断面図、平面図及び部分拡大平面図、第12図はその製造工程を示す断面図、第13図は本発明の実施例のTFT基板の部分等価回路図、第14図は相互コンダクタンスと絶縁膜厚との関係を示す図及び陽極酸化膜のリーク特性を示す図、第15図は本発明のさらに他の実施例のTFT基板の断面図、平面図及び部分拡大平面図、第16図及び第17図はゲート配線とホトレジスト端部との交差の状態を示す平面図、第18図、第19図及び第20図は本発明のさらに他の実施例のTFT基板のTFT部近傍の断面図及び平面図、第21図はA<sub>2</sub>パターンとホトレジスト端部との交差の状態を示す平面図、第22図及び第23図はその交差部の角度の効果を示す図、第24図はレジストの膜厚の効果を示す図、第25図はTFT基板の等価回路図、第26図はTFT基板の概略を示す全体の平面図、第27図、第29図及び

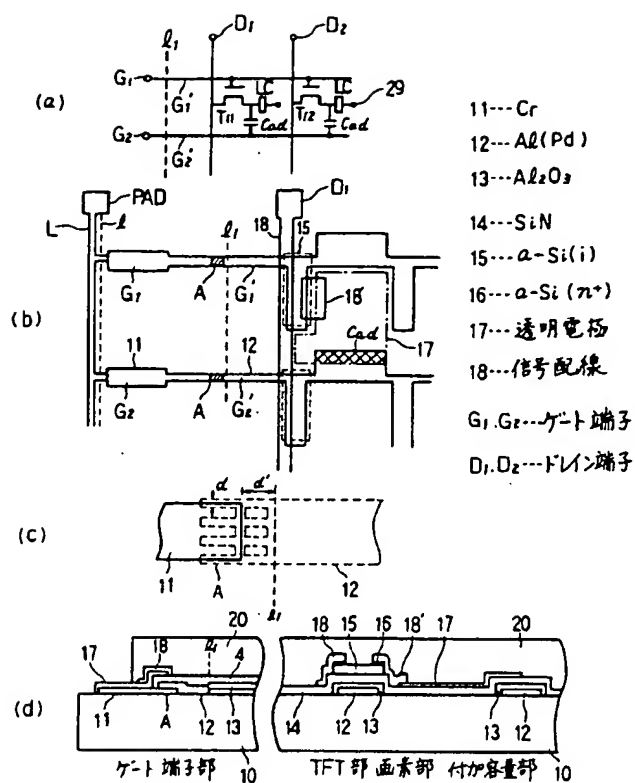
第30図はA<sub>2</sub>パターンとホトレジスト端部との交差の状態を示す平面図、第28図は本発明のさらに他の実施例のTFT基板の部分断面図、第31図は本発明の一実施例の液晶表示パネルの断面図、第32図は従来のTFT基板の平面図及び部分断面図、第33図は本発明の一実施例の液晶表示装置の概略図である。

10、10b…基板 11、11'…Cr  
12…A<sub>2</sub>(Pd) 12'、12''…A<sub>2</sub>  
13…A<sub>2</sub>O<sub>3</sub> 14…SiN  
14'、19…窒化シリコン  
15…a-Si(i)  
15'…a-Si 16…a-Si(n\*)  
17…透明電極 17'…外部引き出し線  
17b…共通透明画素電極  
18…信号配線 18'…ソース電極  
20、20b…保護膜  
40…デバイス部 41…引き出し線部  
44…化成パッド部 51…蓄積容量線  
55…ソース電極 56…ゲート電極

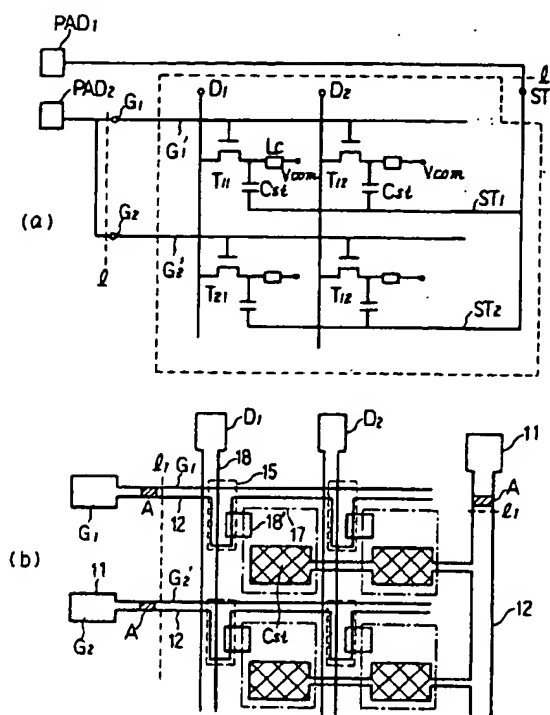
57…蓄積容量部配線  
58…ドレイン電極 81…液晶表示パネル  
82…制御回路 83…映像信号駆動回路  
84…走査回路  
A、a、b、c…領域  
AL…液面 BL…バックライト  
BM…ブラックマトリックス  
Cad…付加容量 Cst…蓄積容量  
D…ドレイン  
FIL…カラーフィルター  
D<sub>1</sub>、D<sub>2</sub>、D<sub>N</sub>…ドレイン端子  
G…ゲート  
G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>N</sub>…ゲート端子  
G<sub>1</sub>'、G<sub>2</sub>'、G<sub>3</sub>'、G<sub>N</sub>'…ゲート配線  
PR…ホトレジスト  
S…ソース  
SIL…銀ペースト材  
SL…シール材  
ST1、ST2…蓄積容量対向電極配線  
ST…蓄積容量端子

T<sub>11</sub>、T<sub>12</sub>、T<sub>21</sub>、T<sub>22</sub>…TFT  
L…化成バスライン  
LC…液晶  
L…切断線  
L<sub>1</sub>…境界線  
PAD、PAD1、PAD2…化成パッド  
POL1、POL2…偏光板  
Vcom…共通端子

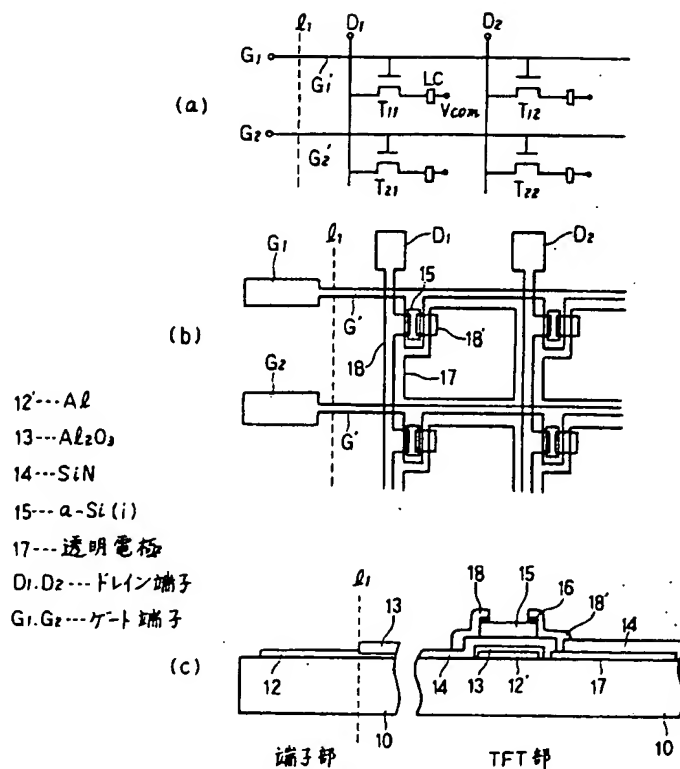
代理人弁理士 薄田利幸



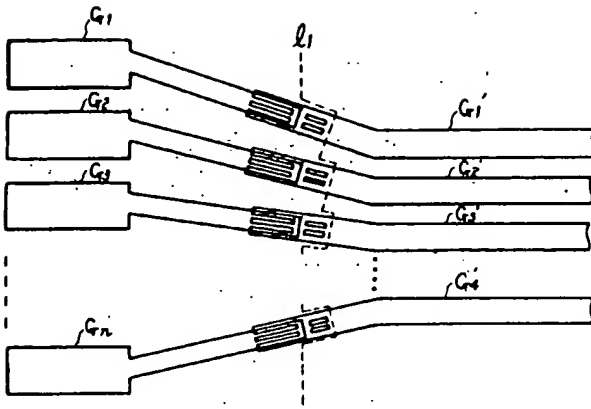
第 1 圖



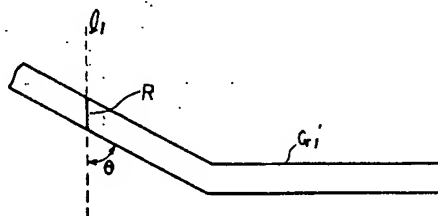
第 3 図



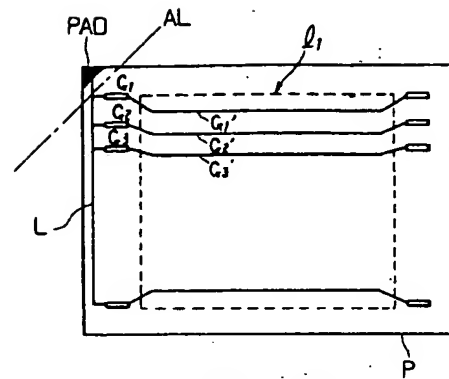
第 2 図



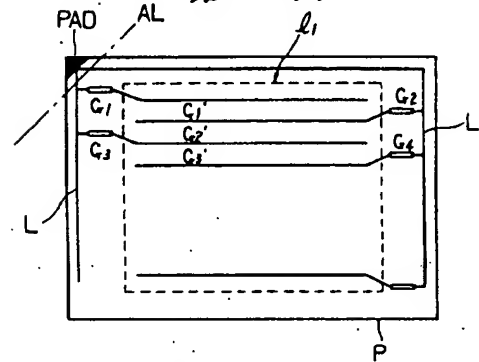
第 4 図



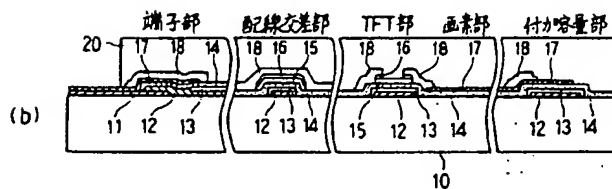
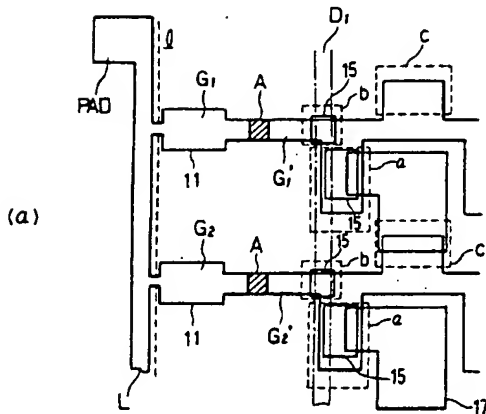
第 5 図



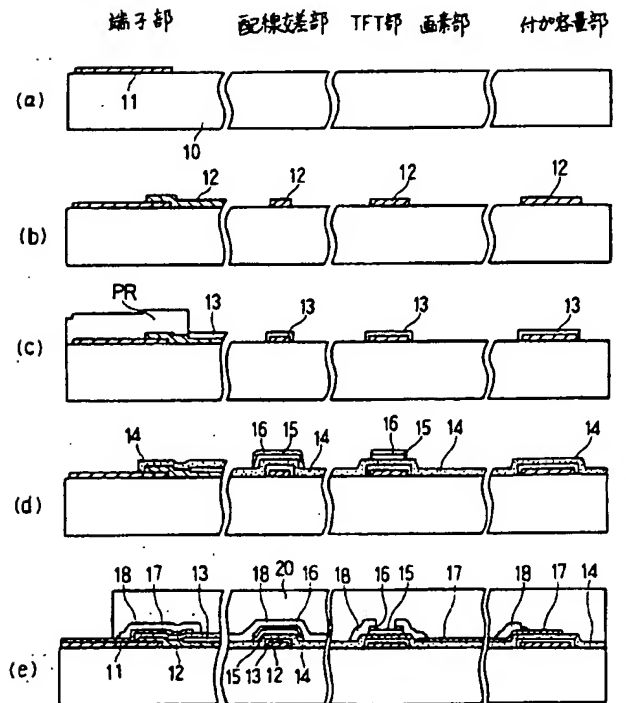
第 6 図



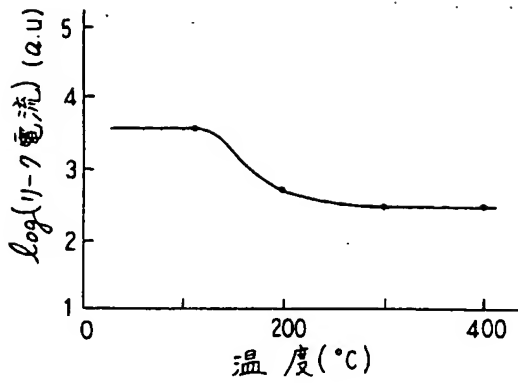
第 7 図



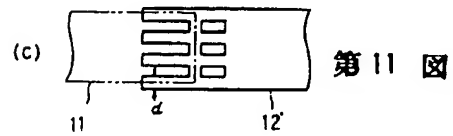
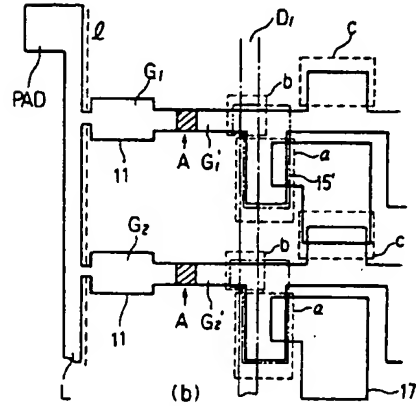
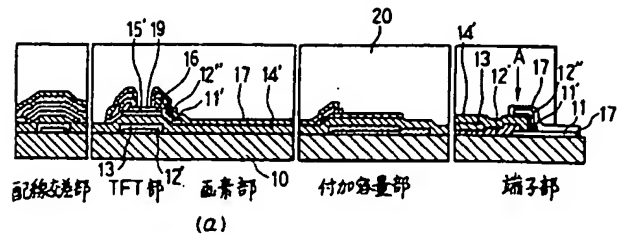
第 8 図



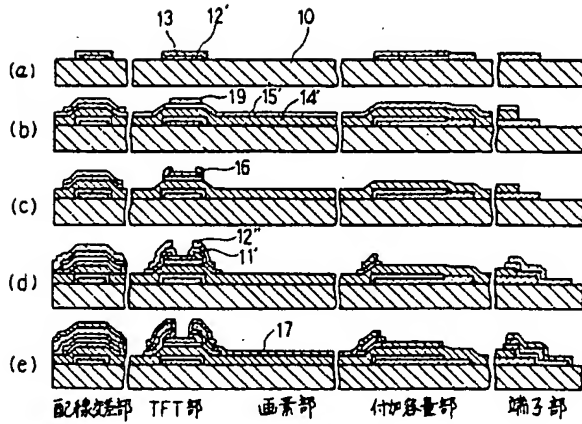
第 9 図



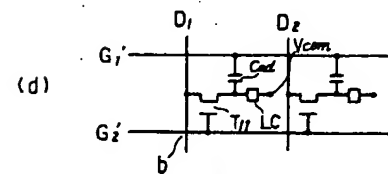
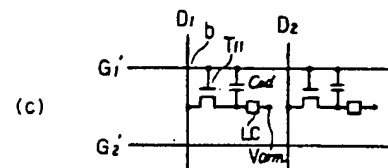
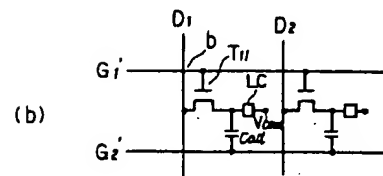
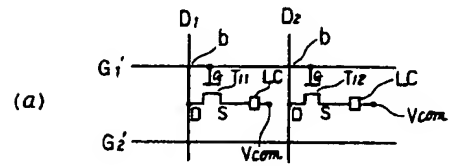
第 10 図



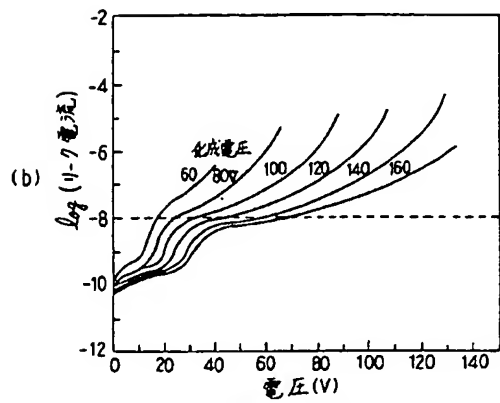
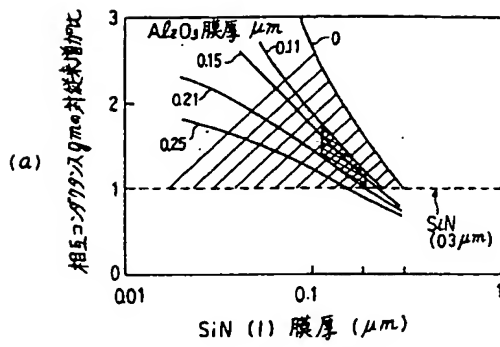
第 11 図



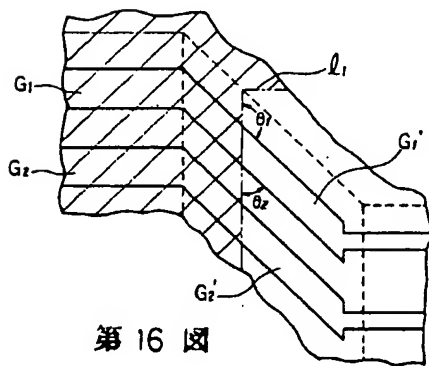
第 12 図



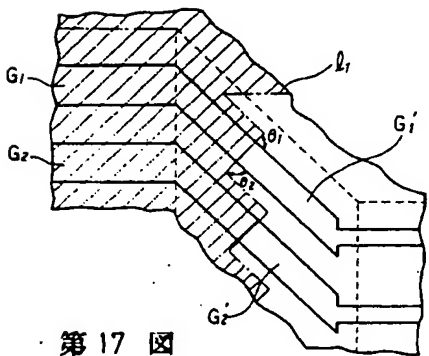
第 13 図



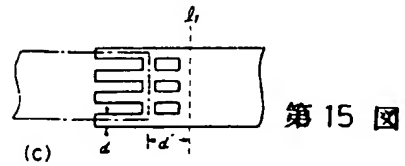
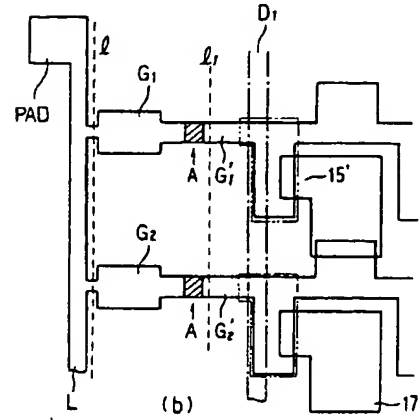
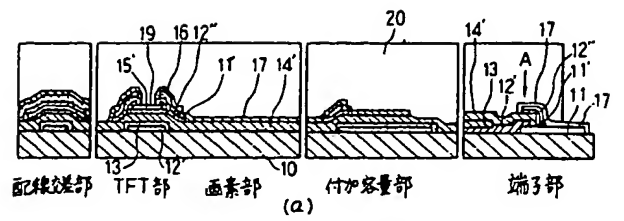
第 14 図



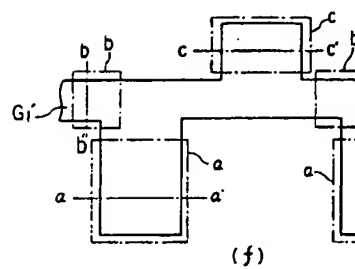
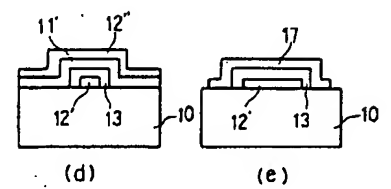
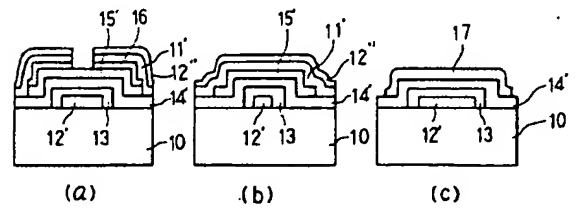
第 16 図



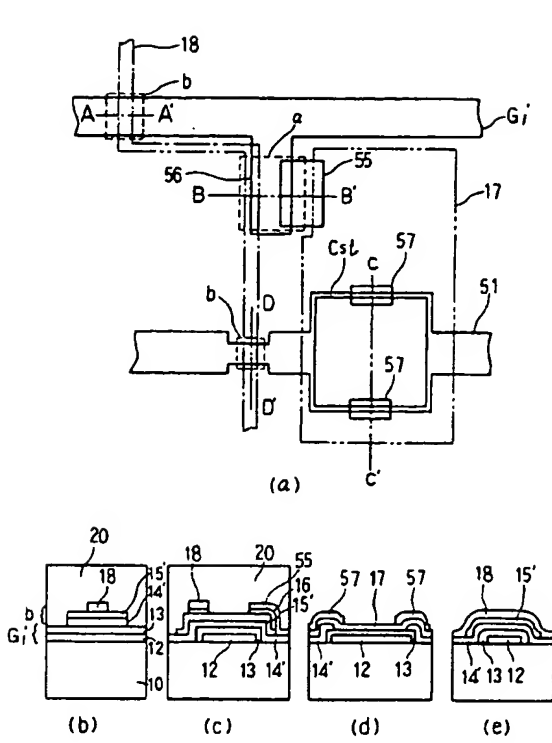
第 17 図



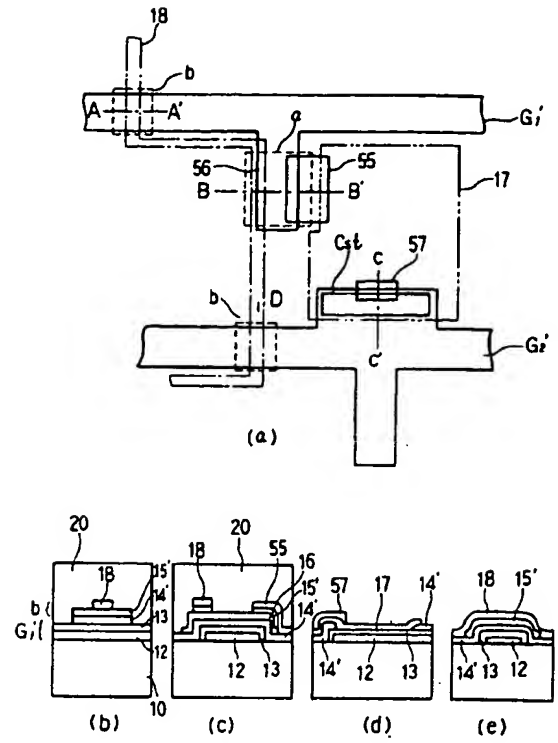
第 15 図



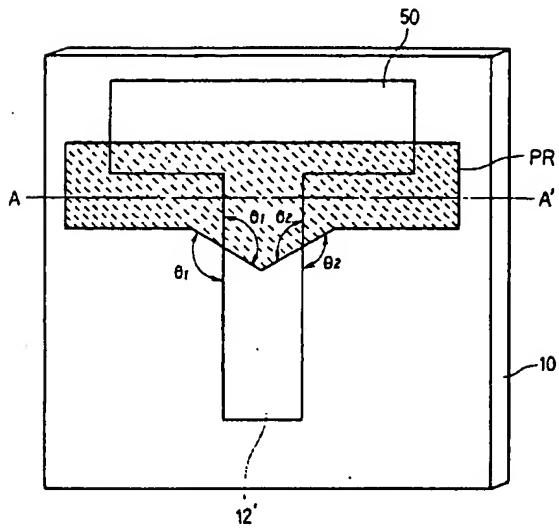
第 18 図



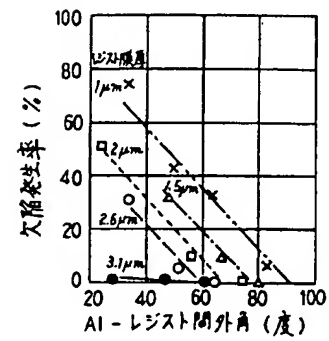
第 19 図



第 20 図

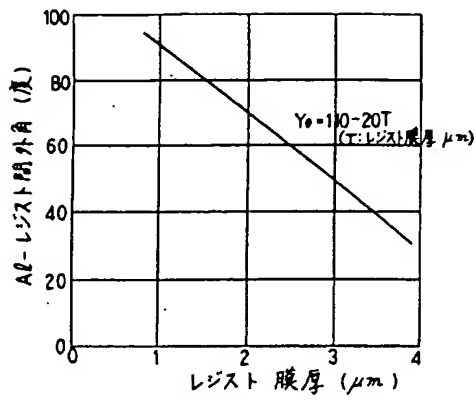


第 21 図

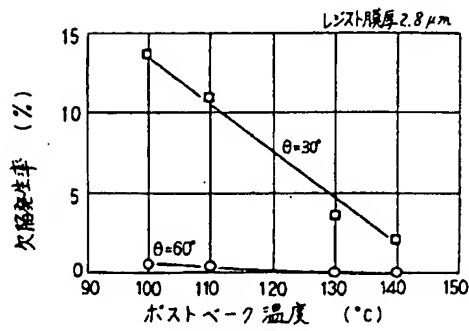


第 22 図

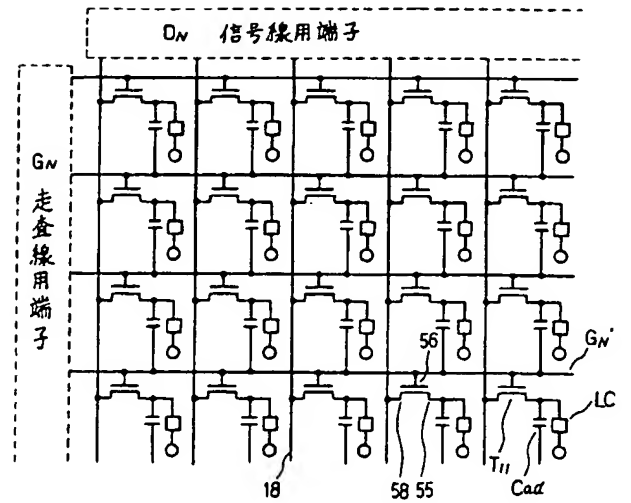




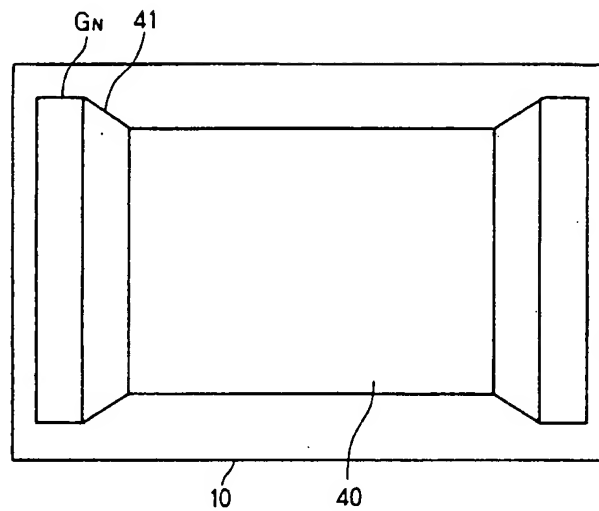
第 23 図



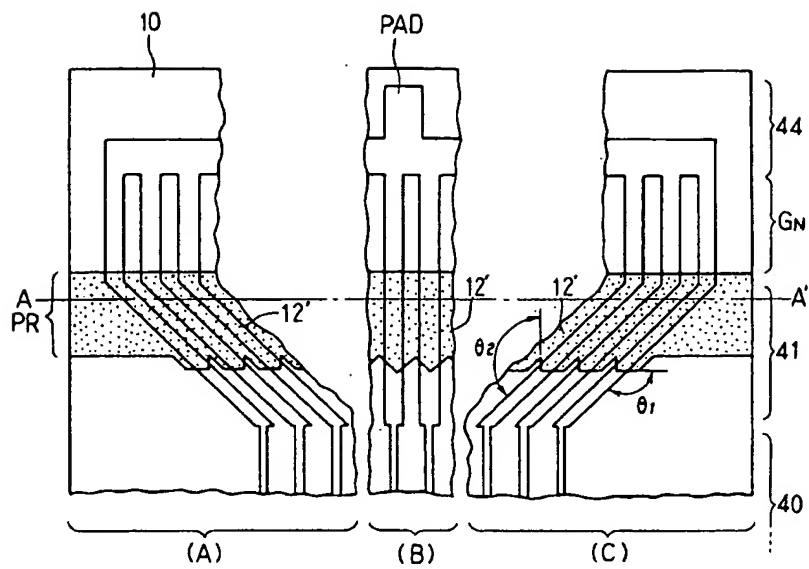
第 24 図



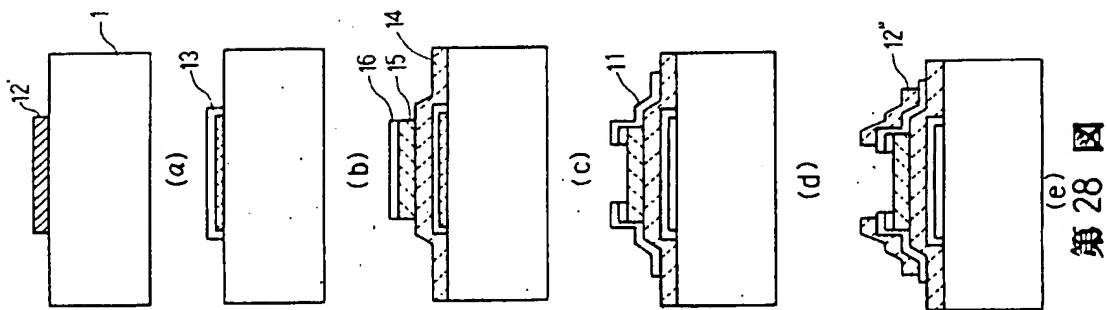
第 25 図



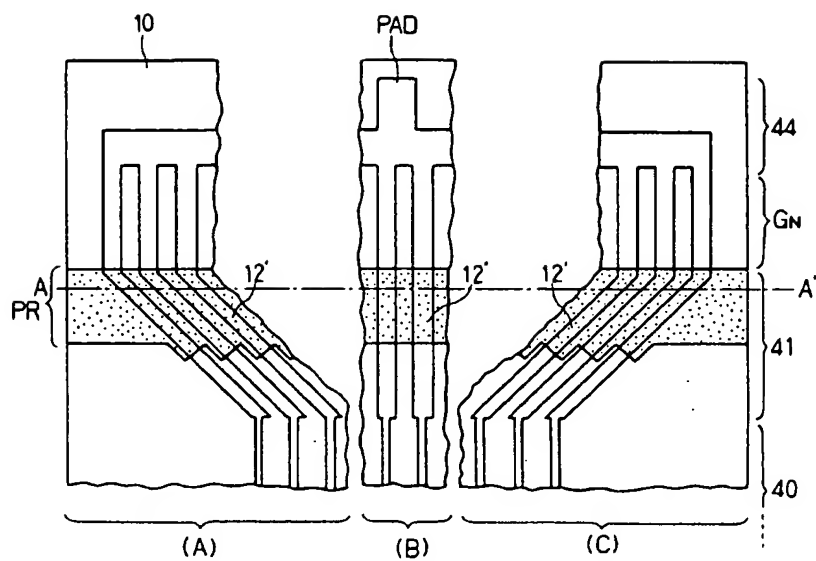
第 26 図



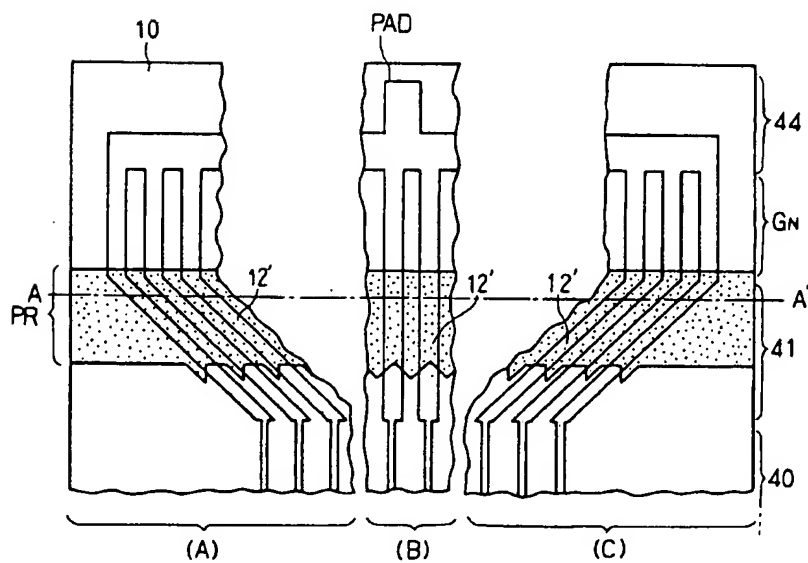
第 27 図



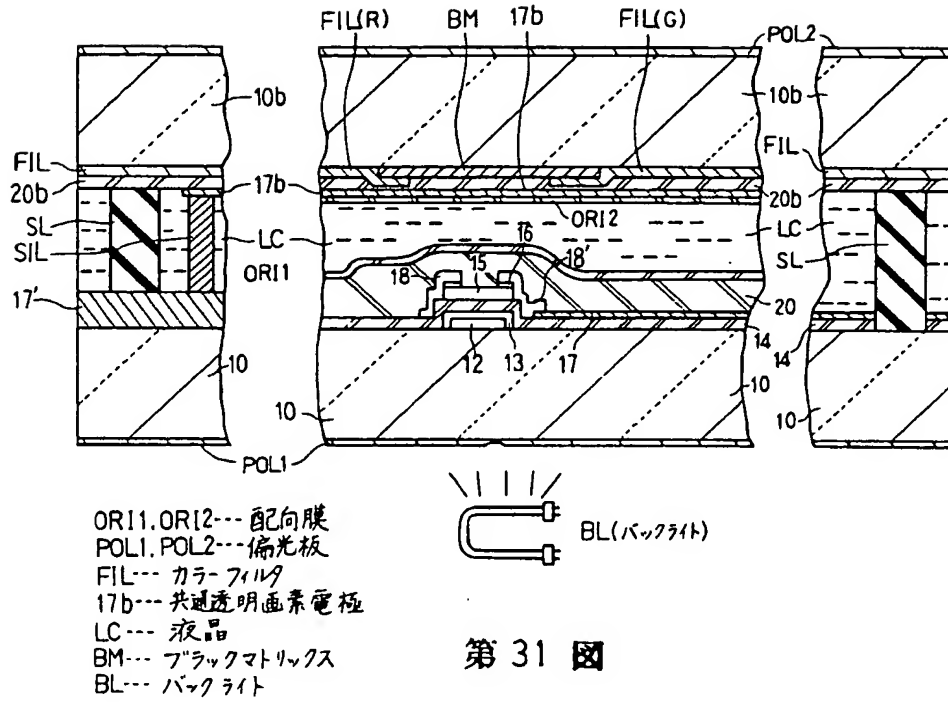
第 28 図



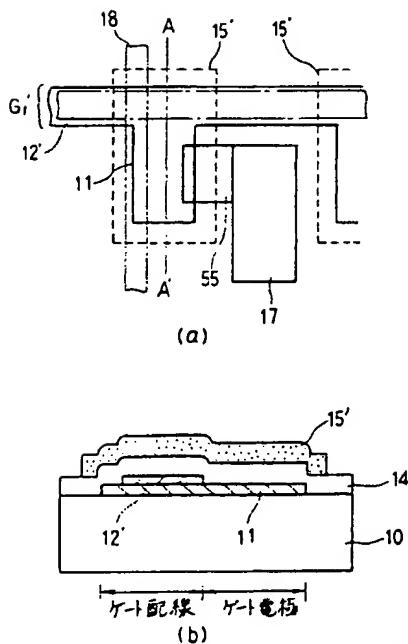
第 29 図



第 30 図

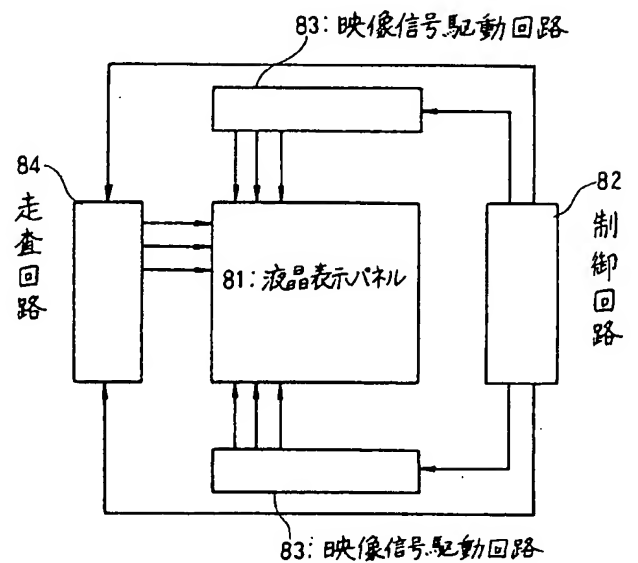


第 31 図



- |            |             |
|------------|-------------|
| 10... 基板   | 55... ソース電極 |
| 11... Cr   | 17... 透明電極  |
| 12... Al   | Gi... ゲート配線 |
| 14... SiN  | 18... 信号配線  |
| 15... a-Si |             |

第 32 図



第 33 図

## 第 1 頁の続き

⑤Int. Cl. 5	識別記号	庁内整理番号
G 02 F 1/1343		9018-2H
1/136	5 0 0	9018-2H
G 09 F 9/30	3 3 8	8621-5C
G 09 G 3/36		8621-5C
H 01 L 21/3205		
29/784		

優先権主張 ⑫平 1 (1989)11月22日⑬日本(J P)⑭特願 平1-302120

⑫平 1 (1989)11月22日⑬日本(J P)⑭特願 平1-302122

⑯発明者	白 橋 和 男	千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内
⑯発明者	松 川 由 佳	千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内
⑯発明者	笹 野 晃	千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内
⑯発明者	田 中 靖 夫	東京都国分寺市東恋ヶ窪 1 丁目280番地 株式会社日立製作所中央研究所内
⑯発明者	筒 井 謙	東京都国分寺市東恋ヶ窪 1 丁目280番地 株式会社日立製作所中央研究所内
⑯発明者	塚 田 俊 久	東京都国分寺市東恋ヶ窪 1 丁目280番地 株式会社日立製作所中央研究所内